

Твердотельная электроника

УДК 621.316.54:621.314.632

Датчик режима насыщения выходного n-p-n-транзистора

П.Г. Мережаный, Л.Н. Павлов, канд. техн. наук

Национальный технический университет Украины «Киевский политехнический институт»,
ул. Политехническая, 16, корпус 12, г. Киев, 03056, Украина.

Предложен алгоритм адаптации модели датчика насыщения вертикального npn-транзистора, совмещенного с ним в единой структуре, к системе автоматизированного проектирования. Алгоритм подразумевает сведение результатов измерения реальных интегральных структур с результатами моделирования комплекса (выходной транзистор) + (транзистор-датчик). Выявлены критические параметры модели, и указано на необходимость усреднения погрешности модели из-за высокой чувствительности к коэффициентам неидеальности переходов транзисторов. Библ. 3, рис. 5, табл. 1.

Ключевые слова: интегральные схемы, модель транзистора, датчик насыщения, критические параметра, неидеальность переходов.

Введение

Радикальный метод борьбы с паразитными эффектами инжекции в подложку при насыщении выходных транзисторов операционного усилителя состоит в введении слоя глубокой n-диффузии в области коллектора до скрытого слоя.

Однако, как показали исследования, эффективность этого компонента в структуре транзистора неоднозначна, зависит от топологических размеров и чувствительна к разбросу технологических режимов изготовления пластины в целом. Кроме того, наличие обширной n-области в кармане транзистора не только увеличивает размеры кристалла и соответственно его стоимость, но и вносит ощутимые проблемы как с точки зрения динамических параметров усилителя, так и с точки зрения его устойчивости. Ухудшение устойчивости определяется паразитной емкостью, которую вносит слой глубокой n-диффузии.

По этой причине цель данной работы состоит в исследовании возможности определения уровня насыщения с помощью датчика, включенного в цепь схемотехнического регулирова-

ния режимом работы выходного транзистора на этапе проектирования схемы электрической с помощью автоматизированной системы. Для этого были разработаны и изготовлены в том же технологическом цикле специальные тестовые модули с датчиками, адекватно реагирующими на глубину насыщения и позволяющими исследовать датчики в режимах с теми же уровнями воздействий, которым подвергаются и рабочие элементы в интегральных микросхемах.

Задача работы состоит в том, чтобы на основе исследований полученных интегральных структур с учетом результатов работ [1,2] определить направление и методику исследования, а в итоге получить модель датчика насыщения, совместимую с системой автоматизированного проектирования интегральных микросхем.

Основная часть

Разрез структуры интегрального датчика насыщения, совмещенного с рабочим транзистором, представлен на рис.1.

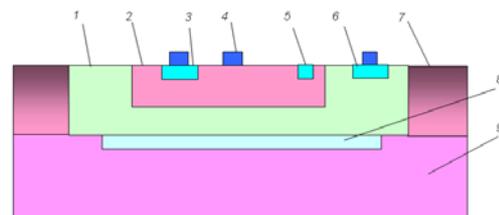


Рис. 1. Структура интегрального n-p-n транзистора с датчиком насыщения: 1 – n-эпитаксия; 2 – p-база; 3 – p-эмиттер; 4 – контакт; 5 – n-датчик; 6 – p-коллектор; 7 – p-разделение; 8 – n⁺- скрытый слой; 9 – p-подложка <111>

Здесь области 1, 2 и 3 образуют рабочий транзистор, а области 1,2 и 5 – датчик.

Рассмотрим принцип работы этого датчика.

При введении транзистора в режим насыщения область эпитаксии 1 обогащается электронами настолько, что накопленный в области коллектора заряд электронов в состоянии выступить в качестве виртуального эмиттера. В этом случае локальный участок области базы 2

может сыграть роль инжектора на сегменте выходного транзистора, условно отделенном штриховой линией на рис.2, где образовывается инжекционная структура. В этом случае для анализа можно применить тот же подход, что и для структур инжекционной логики с той разницей, что здесь интерес представляет не создание логических элементов, а экстракция сигнала для управления глубиной насыщения структуры в целом.

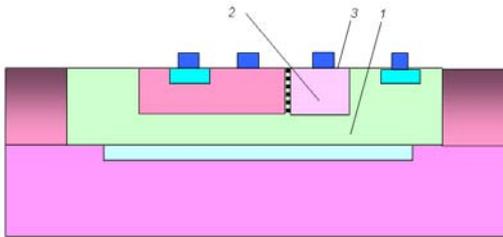


Рис. 2. Образование инжекционной структуры 1 – виртуальный эмиттер; 2 – база; 3 – коллектор

Экспериментальное исследование структуры, рис.2, состоит в том, чтобы подавать в область базы уровни фиксированного тока и регу-

лировкой тока коллектора устанавливать в датчике уровень тока 1 мкА. Такой уровень тока, если его направить на вход регулирующего элемента, представляет собой достаточную величину для управления глубиной насыщения выходных транзисторов. Результаты этого эксперимента приведены в таблице 1 и в логарифмическом масштабе – на графике, рис.3, откуда видно, что при линейном увеличении тока базы в датчике формируется ток 1 мкА при линейном соотношении тока коллектора к току базы.

Термин в таблице «пороговый ток коллектора» в данном случае подразумевает, что если увеличить ток коллектора, то ток в датчике исчезнет. Это соответствует тому явлению, что транзистор выйдет из режима насыщения и перейдет полностью в линейный режим. График, рис. 3, указывает на достаточно линейную зависимость предельного тока коллектора от тока базы с угловым коэффициентом порядка 400. Это подтверждает возможность синтеза модели датчика на основе моделей типа Гумеля-Пуна, адаптированных к условиям автоматизированного проектирования [3].

Таблица 1.

Ток базы, мкА	0,50	1,00	1,50	2,00	5,00	10,00	20,00	50,00
Пороговый ток коллектора, мА	0,21	0,41	0,62	1,08	2,70	4,77	8,40	15,19

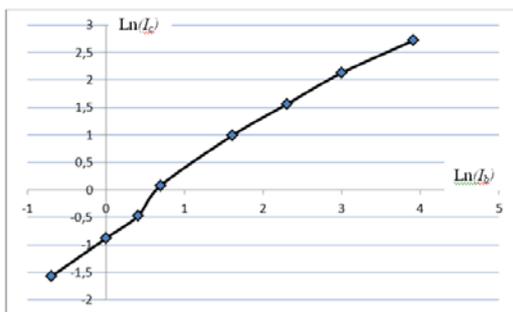


Рис. 3. Зависимость предельного тока коллектора от тока базы при токе в датчике 1 мкА

Первый подход намечен в работе [1]. Для этого подхода адаптации к автоматизированному анализу сегмент датчика в выходном транзисторе представлен биполярным п-р-п-транзистором *VT_SENSOR* в прямом включении. Схема замещения сегмента датчика транзистора в прямом включении приведена на рис.4.

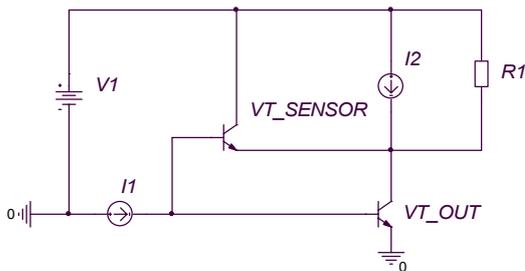


Рис. 4. Схема замещения сегмента датчика транзистором в прямом включении

На рис. 4 обозначены: $V1$ – источник напряжения, который моделирует низкоомный вход регулятора глубины насыщения выходного транзистора VT_OUT ; $I1$ – генератор тока, моделирующий источник сигнала управления выходным транзистором; $I2$ – генератор тока, который моделирует нагрузку выходного каскада, вводящую выходной транзистор в режим насыщения, $R1$ – резистор, моделирующий утечку. Транзистор-датчик VT_SENSOR в этой схеме представляется отдельной моделью, которая отличается от модели выходного транзистора VT_OUT .

Измерения показали, что коэффициент передачи транзистора-датчика в комплексе с основным транзистором составляет от 0,3 до 0,5 в зависимости от разброса коэффициента передачи тока от пластины к пластине. Измерение подобного изолированного тестового «единичного» транзистора, по отношению к площади которого устанавливаются коэффициенты площадей других транзисторов, показало, что коэффициент передачи тока в нормальном режиме в схеме с общим эмиттером составляет от 300 до 500. В свою очередь, требования программы PSpice Model Editor ограничивают минимальное значение этого коэффициента $BF=1$. Другое препятствие для прямого построения адекватной модели состоит в том, что базы и эмиттеры в обоих элементах совмещены в общем р-п-переходе. Это означает, что выделить базовый ток транзистора-датчика при прямом измерении не представляется возможным. Следовательно, по результатам измерения тока в датчике установить коэффициент передачи также нельзя. Поэтому, для построения модели был предпринят следующий алгоритм.

1. На основе измерений единичных тестовых транзисторов составляем модель выходного транзистора. Выбором значений коэффициентов неидеальности устанавливаем остаточное напряжение выходного транзистора VT_OUT в соответствии с результатами измерений и минимизируем ошибку по диапазону

измерений. Остальные параметры – коэффициент передачи тока в нормальном режиме в схеме с общим эмиттером, ток насыщения и др. трудностей не вызывают.

2. Для транзистора-датчика составляем дополнительную модель с коэффициентом усиления, на порядок меньшим, чем коэффициент усиления выходного транзистора. Такое первичное предположение основано на соотношении площадей эмиттера комплекса (выходной транзистор) + (транзистор-датчик) и площади датчика.

3. Моделированием по схеме, рис.4 комплекса (выходной транзистор) + (транзистор-датчик) с использованием возможностей программы PSpice Model Editor выбором значений коэффициентов неидеальности итерационно осуществляем сведение результатов моделирования с результатами эксперимента и минимизируем значение ошибки моделирования по диапазону измерений.

В итоге, моделирование этого комплекса позволило установить, что такие параметры модели транзистора [3] как коэффициенты неидеальности переходов наиболее критичны при моделировании комплекса (выходной транзистор) + (транзистор-датчик). Это обусловлено тем, что именно коэффициенты неидеальности переходов являются критическими параметрами как для модели выходного транзистора, так и для транзистора-датчика. Эти коэффициенты, значения которых определяются конкретными условиями цеха-изготовителя, определяют соответствие расчетного и измеренного уровня остаточного напряжения эмиттер-коллектор выходного транзистора. В свою очередь уровень этого остаточного напряжения определяет напряжение база-эмиттер транзистора-датчика, что определяет экспоненциальную зависимость тока датчика от этого напряжения и соответственно высокий коэффициент чувствительности.

В то же время коэффициент передачи тока в нормальном режиме в схеме с общим эмиттером транзистора-датчика должен составлять от 5...6 до 7...8 в зависимости от результатов изготовления конкретной пластины. Этот результат с одной стороны поясняет эффект перераспределения входного тока по токам базы основного транзистора и датчика, а с другой стороны снимает противоречие по требованиям к минимальному значению коэффициента передачи в модели транзистора-датчика.

Предложенная модель позволила провести расчет схемы электрической. Основное при этом – оценить запас устойчивости схемы с учетом петли регулирования, включающей

транзистор датчик. Но на этапе верификации схемы электрической и топологии кристалла возникла диагностика, связанная с несоответствием структуры транзистора-датчика структурам усилительных транзисторов. Это несоответствие связано с тем, что области коллекторов усилительных транзисторов формируются в пределах области эпитаксиальной пленки. А коллектор транзистора-датчика ограничен областью базы и воспринимается программой верификации как область эмиттера. Поэтому для завершения разработки схемы электрической потребовался другой, уточненный вариант модели датчика. Этот уточненный вариант построения модели подразумевает переход к инверсному включению транзистора, моделирующего датчик, и отладку по изложенному выше алгоритму по схеме, указанной на рис.5.

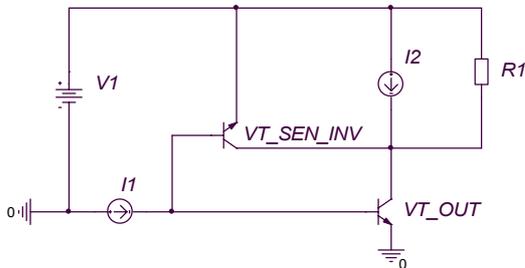


Рис. 5. Схема замещения сегмента датчика транзистором в инверсном включении

В этом случае полностью сохраняется физический смысл и аналогия работы с инжекционной структурой. Модель для работы датчика по схеме, рис.5, отражает тот факт, что эмиттером датчика служит коллектор выходного транзистора, а коллектором – область эмиттерной диффузии.

Соответственно перечисленные выше шаги 1 – 3 были повторены с учетом того что для мо-

дели, рис.5, активным служит коэффициент передачи тока в инверсном режиме в схеме с общим эмиттером. Полученные значения модели также были использованы для анализа схемы и дали удовлетворительные результаты, подтвержденные действующими образцами микросхем.

Выводы

Модель датчика насыщения выходного вертикального п-р-п-транзистора, совмещенного с ним в единой структуре, может быть адаптирована к системе автоматизированного проектирования по предложенному в работе алгоритму.

Алгоритм подразумевает сведение результатов измерения реальных интегральных структур с результатами моделирования комплекса (выходной транзистор) + (транзистор-датчик).

Критическими параметрами при моделировании являются коэффициенты неидеальности переходов, значения которых определяются конкретными условиями цеха-изготовителя.

При разработке модели датчика из-за высокой чувствительности модели к коэффициентам неидеальности с целью минимизации погрешности моделирования целесообразно выполнять процедуру усреднения погрешности.

Литература

1. Борисов А.В., Павлов Л.Н. Защита операционного усилителя класса Rail-to-Rail по выходу от инжекции в выходном каскаде. «Электроника и связь», 2012, No.1, с.5-8
2. Павлов Л.Н., Терешин М. А. Исследование выходного каскада операционного усилителя класса Rail-to-Rail по выходу. Электроника и связь, 2012, No.2, с.18-22.
3. Разевич В. Д. Система сквозного проектирования электронных устройств DesignLab 8.0. «Солон», М., 1999, 698с.

УДК 621.316.54:621.314.632

Датчик режиму насичення вихідного прп-транзистора

П.Г. Мережаний, Л.М. Павлов, канд. техн. наук

Національний технічний університет України «Київський політехнічний інститут»

вул. Політехнічна, 16, корпус 12, г. Київ, 03056, Україна.

Запропоновано алгоритм адаптації моделі датчика насичення вертикального прп-транзистора, що суміщений з ним в єдиній структурі, до системи автоматизованого проектування. Алгоритм має на меті зближення результатів вимірювання реальних інтегральних

структур з результатами моделювання комплексу (вихідний транзистор)+(транзистор-датчик). Виявлені критичні параметри моделі і вказано на необхідність усереднення похибки моделювання через високу чутливість до коефіцієнтів неідеальності переходів транзистора. Бібл. 3, рис. 5, табл. 1.

Ключові слова: *інтегральні схеми, модель транзистора, критичні параметри, неідеальність переходів.*

UDK 621.316.54:621.314.632

Voltage Reference modification

P.G. Merejany, L.N.Pavlov

National Technical University of Ukraine "Kyiv Polytechnic Institute",
st. Polytechnique, 16, Kiev, 03056, Ukraine.

Adaptation algorithm for saturation sensor of the n-p-n vertical output transistor model is proposed. This model algorithm implies convergence measuring natural IC results and complex (output transistor) + (sensor transistor) modeling. Critical model parameters are revealed and necessity of the error model average is proposed due to high non ideal barrier factors sensitivity of transistors. References 3, figures 5, tab. 1.

Keywords: *Integrated Circuits, transistor model, saturation sensor, barrier non-ideality.*

References

1. A.V. Borisov, L.N. Pavlov. (2012), "Rail-to-Rail Opamp Self Protection against Injection in Output stage". Electronics and Communications, No.1, Pp.5-8. (Rus)
2. L.N. Pavlov, M.A. Tereshin. (2012), "Rail-to-Rail Opamp Output stage investigation". Electronics and Communications. No. 2, Pp.18-22. (Rus)
3. V.D. Razevig. (1999), "Computer-added Electronic System Design". "DesignLab 8.0". «Solon», Moscow., P. 698. (Rus)

Поступила в редакцию 25 мая 2013 г.