

Электронные системы

УДК 621.3.049

А.Г. Арутюнян, канд. техн. наук

Электротепловое моделирование теплового поля интегральных схем при размещении элементов

В работе предложен метод моделирования теплового поля кристалла полупроводниковых интегральных схем (ИС), основанный на принципе электротепловой аналогии, рассматривается соответствующая электрическая схема замещения теплообмена ИС, построенная на источниках тока и сопротивлениях. Для реализации метода использован коммерческий программный инструмент моделирования электронных схем SPICE. Приведена методика применения предложенного метода моделирования при начальном многопараметрическом размещении логических ячеек ИС. Эффективность данного метода разъяснена на тестовом примере моделирования логической схемы. Интегрирование предложенного метода моделирования с инструментариями размещения элементов ИС дает возможность контролировать в процессе проектирования качество размещения элементов с точки зрения теплового режима работы ИС.

A simulation method of a thermal field of a crystal of semiconductor integrated circuits (IC), based on the principle of electrothermal analogy, is proposed. The electric equivalent circuit of heat exchange of IC, constructed on current sources and resistances, is proposed. The commercial software simulation tool of electronic circuits SPICE is applied. The technique of application of the proposed simulation method at initial multiparameter placement of logic cells of IC is discussed. Efficiency of the proposed method is explained on a test example of a logic circuit. Integration of the proposed simulation method with placement tools of IC elements allows controlling the quality of placement of elements from the viewpoint of thermal mode of IC during the design process.

Ключевые слова: интегральная схема, электротепловое моделирование, тепловое поле кристалла, начальное размещение ячеек.

Введение

С развитием микроэлектронной технологии и увеличением интеграции ИС выдвигается ряд новых требований к их проектированию, среди

которых, по данным международного указателя полупроводниковой технологии, доминирующими являются потребляемая мощность и быстроедействие [1]. Возрастающая потребляемая мощность и рост интеграции ИС ведут к значительному росту удельной рассеиваемой мощности полупроводникового кристалла. В современных ИС рабочие температуры полупроводникового кристалла могут достигать свыше 100°C , а разность температур между различными зонами кристалла - свыше $10\text{-}20^{\circ}\text{C}$ [2]. С учетом того, что надежность ИС в значительной степени зависит от ее рабочей температуры, важной задачей становится разработка таких методов моделирования теплового поля кристалла, которые бы позволяли эффективно оценить значение температурного распределения на поверхности полупроводникового кристалла на этапе проектирования ИС. Это становится особенно актуальным при размещении элементов, поскольку тепловое распределение и тепловая надежность ИС зависят от их оптимального размещения [3].

В настоящее время существуют два подхода для оценки теплового поля ИС. Первый подход основан на методе конечных разностей и подразумевает дискретизацию структуры полупроводникового кристалла, что позволяет свести задачу определения температур ячеек к матричному уравнению [2]. Главные трудности практической реализации такого подхода состоят в громоздкости матричных уравнений, большом объеме аналитических расчетов и в неудобствах интеграции матриц в систему размещения ячеек. Второй подход основан на моделировании тепловой характеристики элементов ИС с помощью соответствующих аналоговых моделей [4]. Недостаток этого подхода заключается в трудности моделирования самого полупроводникового кристалла и корпуса ИС.

В настоящей работе предлагается метод оценки теплового поля кристалла, основанный на электро-тепловом моделировании, в котором в основном устранены вышеупомянутые недостатки. Как известно, процессы в тепловых и электрических полях характеризуются законами Фурье и Ома соответственно [5]. В этом случае

существующие в тепловых расчетах понятия, такие как температурный градиент, тепловое сопротивление и потребляемая мощность, соответствуют градиенту потенциала, электрическому сопротивлению и электрическому току в электрических расчетах. Следовательно, температуре [°C], тепловому сопротивлению [°C/Wt] и тепловому потоку [Вт], будут соответствовать электрическое напряжение [В], электрическое сопротивление [Ом] и ток [А].

На основе вышесказанного электротепловую имитационную модель ИС можно представить в виде некоторой электрической схемы, в которой тепловые сопротивления представлены соответствующими резисторами, а выделяемые элементами тепловые потоки источниками тока. Тогда напряжения в узлах, соответствующих центрам нагретых зон, будут соответствовать их температурам. В качестве нагретых зон могут фигурировать либо топологические ячейки при регулярной структуре ИС (например, FPGA), либо топологические области нагретых зон, искусственным образом выделенные с помощью ортогональной сетки. В обоих случаях получается регулярная структура нагретых зон, что облегчает построение электрической схемы замещения и позволяет автоматизировать ее синтез. В качестве инструмента моделирования электрической схемы замещения предлагается использовать широко распространенную систему SPICE. Такой подход позволяет целиком автоматизировать процесс электротеплового моделирования ИС и произвести его интеграцию в маршрут начального размещения логических ячеек.

1. Описание метода

Предлагаемый метод электротеплового моделирования основан на построении модели элементарной ячейки или нагретой зоны полупроводникового кристалла, которую можно представить в виде, приведенном на рис. 1.

На рисунке представлена модель некоторой j-й ячейки и ее взаимосвязи с соседними ячейками. Узлы C_i, C_j и C_k соответствуют топологическим центрам i-й, j-й и k-й ячеек. Мощности i-й, j-й и k-й ячеек описываются соответственно источниками тока I_i, I_j и I_k . Резистор R_j моделирует тепловое сопротивление подложки под j-й ячейкой, резисторы R_{ij} и R_{jk} моделируют тепловые сопротивления поверхностного активного слоя полупроводниковой структуры j-й ячейки соответственно между i-й и k-й ячейками, резисторы r_{ij} и r_{jk} аналогичны резисторам R_{ij} и R_{jk} , но используются для глубины пассивного слоя полупроводниковой подложки.

На основе электротепловой модели элементарной ячейки можно построить обобщенную модель для топологии ИС. Например, для тестовой логической схемы c17-iscas85, приведенной на рис. 2, при размещении логических ячеек в линейку, электротепловая модель будет иметь вид, приведенный на рис. 3.

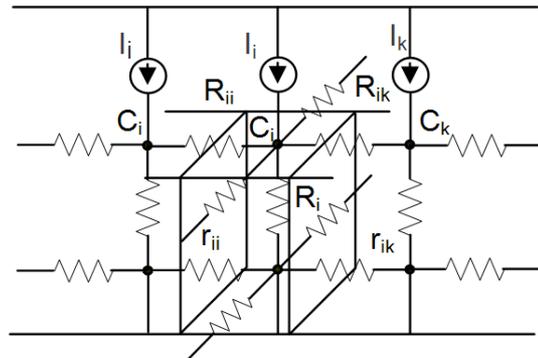


Рис. 1. Электротепловая модель элементарной ячейки

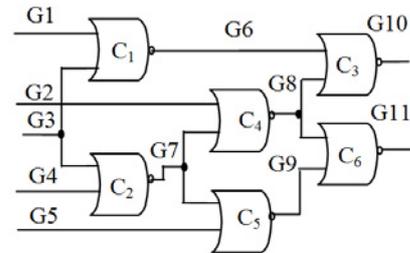


Рис. 2. Тестовая схема c17-iscas85

На приведенной электротепловой модели узлы 1,2,...,6 соответствуют последовательности размещения ячеек. Температура окружающей среды не учтена, т.е. предполагается, что температура рассчитывается относительно температуры окружающей среды. С помощью резистора $R_{корп}$ смоделировано тепловое сопротивление корпуса ИС.

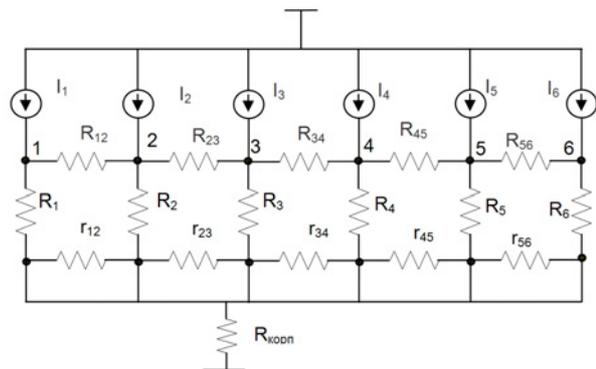


Рис. 3. Электротепловая модель линейного размещения элементов тестовой схемы

Как было отмечено выше, предлагаемый подход электротеплового моделирования реализован в системе моделирования SPICE. Поэтому при заданном размещении ячеек необходимо оценить параметры схемы замещения с

учетом перевода тепловых параметров в соответствующие электрические величины. Значения сопротивлений всех резисторов R_{ij} и r_{ij} и R_i оцениваются с помощью следующей формулы определения теплового сопротивления:

$$R = \frac{d}{\lambda S}, \quad (1)$$

где d - соответственно либо топологическое расстояние между центрами ячеек при расчете R_{ij} и r_{ij} , либо толщина полупроводниковой подложки при расчете R_i ; S - площадь теплообмена, которая определяется либо как произведение линейного топологического размера ячейки и высоты её топологической структуры при расчете R_{ij} , либо как произведение линейного топологического размера ячейки и толщины полупроводниковой подложки при расчете r_{ij} , либо топологической площадью ячейки при расчете R_i ; λ - удельная теплопроводность подложки.

Значения токов I_i оцениваются путем расчета мощностей соответствующих ячеек.

Если топологические размеры ячеек и нагретых зон совпадают, то выделяемая ячейкой мощность оценивается по формуле

$$P = P_{d,yd}KW + P_{ст}, \quad (2)$$

где $P_{d,yd}$ - удельная динамическая мощность ячейки; K - активность переключения ячейки; W - рабочая частота ячейки; $P_{ст}$ - статическая мощность ячейки.

В технологических библиотеках цифровых стандартных ячеек приводятся значения $P_{d,yd}$ и W , а значение K оценивается на этапе логического синтеза схемы. Что касается статической

мощности, то в библиотеках ячеек обычно приводятся их значения для конкретной температуры (обычно для температуры 25°C). Имея значения $P_{ст}$ для конкретной температуры, а также учитывая слабую зависимость $P_{d,yd}$ от температуры, можно построить статистическую зависимость $P_{ст}$ от $P_{d,yd}$ и температуры для конкретной технологии. Например, для технологии 90нм и для диапазона температур $T = 0 - 100^{\circ}\text{C}$ получена приближенная зависимость вида $P_{ст} \approx 0,01P_{d,yd}KWT$. При моделировании предлагается пошаговое уточнение значения $P_{ст}$ методом последовательных приближений. Практика моделирования показала, что при 3-5 циклах последовательных приближений значения P стабилизируются, и их отклонения составляют не более 2 %.

Если топологические размеры ячеек и нагретых зон не совпадают, то выделяемая нагретой зоной мощность оценивается по формуле

$$P = \sum_{i=1}^m P_i \frac{S_i \cap S_3}{S_3}, \quad (3)$$

где $i = 1..m$ - множество ячеек, имеющих перекрытие топологической площади с площадью рассматриваемой нагретой зоны; S_3 - топологическая площадь нагретой зоны; $S_i \cap S_3$ - площадь перекрытия i -й ячейки и нагретой зоны.

Возможный маршрут интеграции предлагаемого метода электротеплового моделирования в процесс начального размещения ячеек ИС приведен на рис.4.

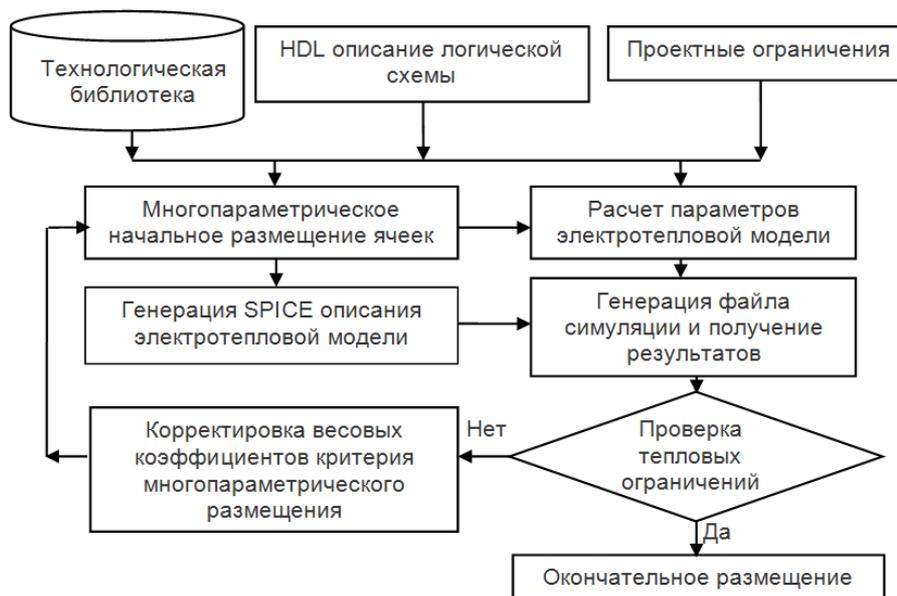


Рис. 4. Маршрут электротеплового моделирование теплового поля интегральных схем при размещении элементов

2. Практический пример

Реализацию предлагаемого подхода электротеплового моделирования рассмотрим на примере линейного размещения ячеек простой тестовой схемы c17-iscas85 (рис. 2). Параметры логических ячеек выбраны из библиотеки стандартных ячеек технологии 90 нм, разработанной в учебном департаменте компании “Синопис Армения” [6]. Для указанной библиотеки выбраны следующие значения параметров: топологическая ширина логических ячеек тестовой схемы - 2,88 мкм, топологическая длина логических ячеек C₁, C₃, C₅, C₆ - 1,92 мкм, а для C₂, C₄ - 3,2 мкм; $P_{1д.я\delta} = P_{3д.я\delta} = P_{5д.я\delta} = P_{6д.я\delta} = 15$ нВт/МГц; $P_{2д.я\delta} = P_{4д.я\delta} = 28$ нВт/МГц; $W = 300$ МГц. Применена некоторая входная тестовая последовательность импульсов, что привело к следующим значениям активности переключений ячеек: K₁=0,27; K₂=0,15; K₃=0,26; K₄=0,3; K₅=0,8; K₆=0,6. С учетом вышесказанного и формулы (2) получены следующие значения мощностей ячеек для схемы рис. 2: P₁=1,15*10⁻⁶Вт; P₂=1,26*10⁻⁶Вт; P₃=1,17*10⁻⁶Вт; P₄=2,52*10⁻⁶Вт; P₅=3,6*10⁻⁶Вт; P₆=2,7*10⁻⁶Вт. Моделирование произведено для трех случаев линейного размещения ячеек, с применением последовательного алгоритма размещения, описанном в [3]:

- а) при учете лишь электрической связанности логических ячеек;
- б) при учете лишь равномерности распределения мощности;
- в) при совместном учете как электрической связанности, так и равномерности распределения мощности, с одинаковыми весовыми коэффициентами.

Для приведенных вариантов получены следующие последовательности размещения:

- а) C₁→C₂→C₃→C₄→C₅→C₆;
- б) C₄→C₁→C₆→C₂→C₅→C₃;
- в) C₁→C₂→C₄→C₅→C₆→C₃.

Так как ячейки имеют различные топологические длины, используются виртуальные ячейки в виде нагретых зон одинаковых длин. Для удобства длина нагретой зоны выбрана равной высоте ячеек. Для такой структуры шестизвенная схема замещения (см. рис. 3) превратится в аналогичную схему с пятью звеньями. Сила тока для полученных пяти нагретых зон, рассчитанная по вышеприведенной методике и с учетом формулы (3), имеет следующие значения [*10⁻⁶A]:

- а) I₁=1,53; I₂=1,27; I₃=2,01; I₄=3,69; I₅=3,89;
- б) I₁=2,27; I₂=2,72; I₃=2,43; I₄=3,04; I₅=2,36;
- в) I₁=1,53; I₂=1,39; I₃=2,63; I₄=4,88; I₅=1,98.

Глубины активного и пассивного слоев полупроводниковой подложки выбраны соответственно 3 и 30 мкм. Удельная теплопроводность кремниевой подложки принята равной 1,4 Вт/см*град. С учетом сказанного и с учетом формулы (1) получены следующие значения сопротивлений схемы замещения: R_{ij}=5*10⁴Ом, r_{ij}=0,5*10⁴Ом, R_i=2*10⁴Ом. Тепловое сопротивление корпуса принято равным R_{корп}=1,2*10⁷Ом. Результаты моделирования с помощью SPICE показали следующие значения напряжений в узловых точках [В]:

- а) U₁=43; U₂=44; U₃=45; U₄=45,5; U₅=46;
- б) U₁=43,5; U₂=43,5; U₃=43; U₄=44; U₅=43,5;
- в) U₁=43; U₂=43,5; U₃=44,5; U₄=45; U₅=44.

В соответствии с электротепловой аналогией, численные значения температур нагретых зон [в °C] будут равны соответствующим напряжениям в Вольтах с добавлением температуры окружающей среды. Следует отметить, что из-за больших погрешностей определения тепловых сопротивлений затруднена оценка температур с достаточной точностью. Однако предложенная методика дает вполне приемлемую точность относительных температур нагретых зон, что можно использовать при размещении ячеек. Графики теплового поля для вышесказанных вариантов размещения приведены на рис. 5.

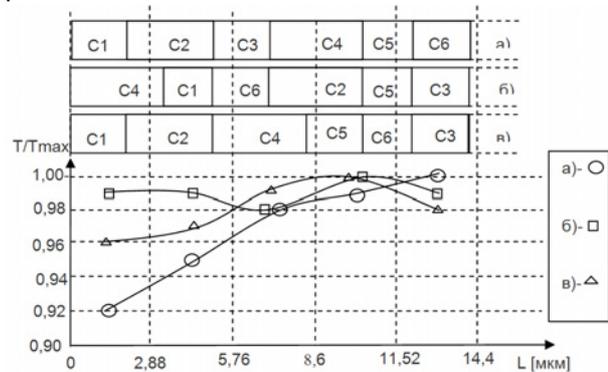


Рис. 5. Графики теплового поля линейно размещенных ячеек тестовой схемы, где графики а), в) и с) соответствуют вышеприведенным вариантам размещения ячеек

Вертикальная ось графиков соответствует относительной величине температур, что аналогично относительным величинам напряжений. Как видно из рис. 5, размещение элементов с учетом их мощностей приводит к выравниванию теплового поля. Результаты электротеплового моделирования ряда тестовых схем показали, что учет мощностей логических ячеек при их начальном размещении приводит к повышению однородности теплового поля на 70 - 80%.

Выводы

Таким образом, метод электротеплового моделирования позволяет представить размещение теплового поля элементов ИС в виде идентичной электрической схемы, где тепловые параметры заменены соответствующими электрическими параметрами. Построенную электрическую схему можно анализировать с помощью инструментального средства SPICE. Такой подход позволяет построить электротепловые модели для различных топологических структур, используя соответствующие сопротивления и источники тока. Результаты реализации предложенного подхода на ряде тестовых схем показали высокую эффективность метода. Предлагаемый подход может быть внедрен в существующие средства САПР на этапе начального размещения, либо может быть реализован как автономный инструмент, результаты которого служат стартовым размещением для дальнейшей оптимизации.

Литература

1. Semiconductor Industry Association, International Technology Roadmap for Semiconductors, 2003, [http:// public.itrs.net/](http://public.itrs.net/).
2. Ching-Han Tsai and Sung-Mo Kang. Cell-level placement for improving substrate thermal distribution // IEEE Transactions on Computer-Aided Design.- 2000.-Vol.19, No 2.- P.253-266.
3. Арутюнян А.Г. Повышение равномерности распределения теплового поля при начальном размещении топологических ячеек ИС // III Всероссийская научно-техническая конференция "Проблемы разработки перспективных микро- и наноэлектронных систем. Сборник научных трудов / Под общ. ред. А.Л. Стемповского.- М.: ИППМ РАН, 2008.- С. 251-254.
4. Wunsche S., Claub C., Schwarz P., Winkler F. Electro-Thermal Circuit Simulation Using Simulator Coupling // IEEE Transactions on ver VLSI systems.- 1997.- Vol. 5, No 3.- P.277-282.
5. Дульнев Г.Н. Тепло- и массообмен в радиоэлектронной аппаратуре.-М.: Высш. шк., 1984.- 247с.
6. Digital Standard Cell Library // SAED_EDK90_CORE DATABOOK: © 2008 SYNOPSIS ARMENIA Educational Department.- Yerevan, 2008. – 96 p.