

УДК 621.3.049.771

В.Ш. Меликян, д-р техн. наук, Г.А. Петросян, С.Г. Абовян, Л.Г. Шахбазян, А.Г. Степанян, Э.О. Мусаелян

Статистический анализ временных задержек мультипроцессорных систем

Предлагается способ статистического анализа временных задержек (САВЗ) многоядерных процессоров. Метод основан на одновременном применении обычного статического временного анализа (СВА) и САВЗ. На первом этапе проводится СВА, а на втором – САВЗ. Предлагаемый метод анализа позволяет достичь удовлетворительной, с практической точки зрения, точности результатов анализа при сравнительно малых затратах машинного времени.

In this paper a method of statistical static timing analysis (SSTA) for multicore processors is proposed. An effective method of timing analysis based on simultaneous application of usual static as well as statistical static timing analysis. At the first stage usual static timing analysis (STA) is applied and at the second stage - SSTA. The proposed method of analysis allows reaching of acceptable analysis results from the practical viewpoint of accuracy at considerably small expenses of machine runtime.

Введение

Одним из основных вызовов проектирования при масштабировании технологических процессов изготовления современных сложных интегральных схем (ИС) являются вариации параметров ИС.

Традиционный СВА уже не удовлетворяет требованиям процесса проектирования современных ИС, так как влияние вариаций технологических параметров на характеристики отдельных элементов ИС стало более ощутимым. С другой стороны, существенно увеличилось количество возможных значений технологических параметров, напряжения питания и температуры окружающей среды, при которых возникает необходимость проверки работоспособности ИС. Каждое такое сочетание отмеченных величин оформляется в виде отдельного моделирующего файла. Основным недостатком СВА является то, что если в случае глобальных технологических вариаций между разными ИС может быть использовано множество моделирующих файлов, то для анализа ИС с учетом вариаций внутри ИС отсутствуют точные методы СВА. Следствием этого являются недопустимо пессимистичные или, наоборот, оптимистичные

оценки задержек сигналов на критических путях распространения сигнала в ИС [1]. При 90 - нанометровом и более новых технологических процессах, даже при моделировании вариаций между разными ИС, требуется недопустимо большое количество моделирующих файлов. Это число при переходе на новые технологии, как правило, увеличивается на порядок.

Так как вероятность того, что в реальных ИС все факторы будут принимать значения из одного и того же моделирующего файла, очень мала, то результаты обычного СВА редко совпадают с данными измерений на реальных ИС. Это обстоятельство свидетельствует о неприменимости СВА для 90 - нанометровых и более новых технологий.

В отличие от СВА САВЗ - многообещающая техника анализа ИС, позволяющая учитывать локальные изменения технологических параметров внутри ИС [1]. Основная концепция САВЗ состоит в статистическом учете случайных вариаций внутри ИС и, за счет этого, более точном расчете задержек цепей распространения сигнала.

Известно [2], что наиболее простым и точным способом статистического анализа электронных схем с небольшим количеством элементов является метод Монте-Карло [2]. Однако следует отметить, что затраты машинного времени, необходимые при применении отмеченного метода, нелинейным образом растут с увеличением количества элементов ИС и числа варьируемых технологических факторов. По этой причине данный метод анализа в случае больших мультипроцессорных систем является неприменимым.

Основным отличием САВЗ является то, что случайные вариации задержек элементов ИС определяются в виде случайных переменных, а задержки схемы - в виде функции распределения вероятностей (ФРВ). При таком подходе затраты машинного времени сохраняются на уровне метода Монте-Карло [2] при той же точности результатов анализа. Однако САВЗ нуждается в ряде дорогостоящих дополнительных данных, к которым относятся точные описания вариаций параметров технологического процесса, а также результаты статистической характеристики библиотек стандартных цифровых ячеек.

При применении САВЗ цифровая схема представляется в виде графа, узлам которого соответствуют логические вентили, а ребрам - межсоединения. При переходе сигнала через граф задержка ФРВ в каждом узле рассчитывается с помощью применения двух операций: статистического суммирования и определения максимума. Для выполнения отмеченных операций используются распределения вероятностей задержек вентилях и межсоединений. В качестве примера на рис.1а представлена схема, состоящая из двух последовательно соединенных вентилях, а на рис.1б - схема, в которой два сигнала конвергируются на выходе вентиля. На последовательной схеме рис.1 задержка рассчитывается с помощью статистического суммирования. На выходе схемы задержка равняется статистической сумме задержек вентилях ф1 и ф2. Эта сумма может быть рассчитана с помощью интеграла свертки, но тем не менее, если ф1 и ф2 имеют нормальные распределения задержек, то может быть применена более простая формула. На рис.1а в случае когда ф1 имеет нормальное распределение со средним значением m_1 и значением s_1 (для 3σ , а ф2 соответственно - m_2 и s_2), ф будет иметь нормальное распределение со значениями $m_1 + m_2$ и $\sqrt{s_1^2 + s_2^2}$. Для этого распределения значение, соответствующее 3σ , будет $m_1 + m_2 + \sqrt{s_1^2 + s_2^2}$. Если же задержка рассчитывается с помощью обычного СВА, то она равна сумме значений задержек, которые имеет схема в наихудшем случае. Если эти значения эквивалентны 3σ , то задержка получается $m_1 + m_2 + s_1 + s_2$. Следовательно, задержка, рассчитанная для последовательной схемы методом САВЗ, меньше по сравнению с задержкой, рассчитанной методом СВА. Для вентиля со множеством входов, показанного на рис.1б, задержка рассчитывается путем применения действия определения максимума. Обычно трудно рассчитать точное значение для статистического максимума. Однако это возможно при условии, если две случайные переменные для ф1 и ф2 независимы друг от друга. Наоборот, если ф1 и ф2 коррелируются, то определить точный максимум трудно, и приближение возможно только при использовании верхнего или нижнего предела ФРВ, или же метода моментов соответствия. В случае, если ф1 и ф2 независимы друг от друга, результат операции статистического максимума имеет верхний предел, и значение, эквивалентное 3σ , больше задержки, рассчитанной методом СВА.

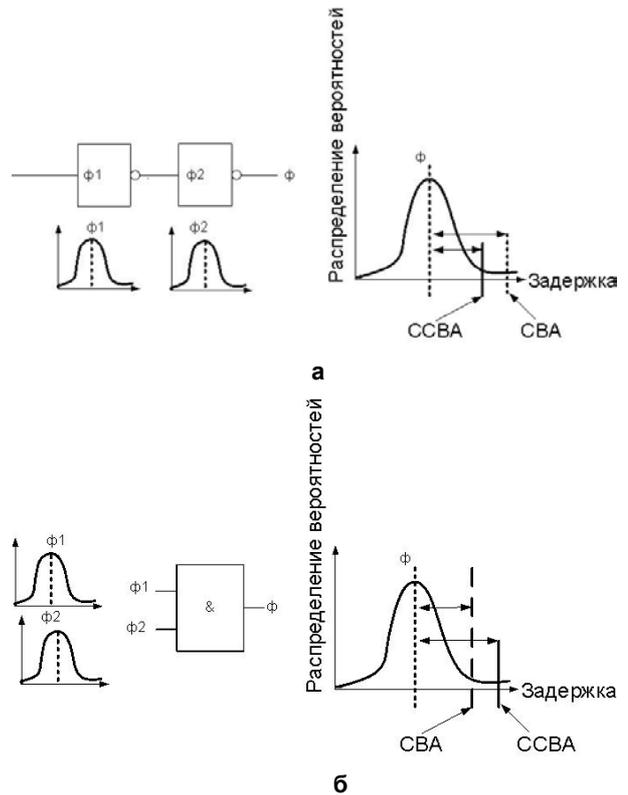


Рис. 1. Основные статистические операции при САВЗ: а - суммирование, б - максимум

Задержка всей схемы может быть проанализирована путем использования приведенных выше основных вычислений. Вычисления выполняются при прохождении через граф. Есть два метода САВЗ на графах: на основе путей и блоков [3]. На рис.2а продемонстрирован метод САВЗ, основывающийся на путях. В этом случае ФРВ для каждого пути вычисляется индивидуально, проходя из источника до окончания пути. Преимущество данного метода состоит в том, что ФРВ задержки для каждого пути вычисляется точно, так как не выполняется операция статистического максимума при анализе последовательных путей. В методе САВЗ на основе путей учитываются корреляции между разными путями. Однако в этом случае затраты машинного времени существенно зависят от числа элементов ИС. Обычно эта зависимость близка к экспоненциальной.

На рис. 2б продемонстрирован метод САВЗ, основывающийся на блоках. В этом случае при пересечении графа все пути анализируются одновременно, и в конце пересечения вычисляется ФРВ задержек всей схемы. Преимуществом этого метода является уменьшение затрат машинного времени, так как несколько путей могут быть проанализированы одновременно. Однако для статистической операции максимума корреляция между путями должна быть рассмотрена, поскольку возможны ситуации, когда не-

сколько путей сходятся в едином узле. Поэтому должен быть обеспечен компромисс между точностью и временем вычисления.

Применение САВЗ при проектировании мультипроцессорных систем

С целью оценки эффективности предлагаемого метода был спроектирован многоядерный процессор (рис.3) с использованием 90 - нанометровой КМОП технологии. Осуществлен временной анализ спроектированного процессора.

Синтез схемы осуществлен программным инструментом автоматического проектирования Design Compiler [4] компании Synopsys, а временной анализ - средствами PrimeTime [5] и PrimeTime-VX [6] компании Synopsys.

Предложенный метод САВЗ позволил при проектировании предсказать выходную

временную зависимость сигналов, за счет чего был достигнут необходимый компромисс между производительностью и выходными временными характеристиками ИС [7]. Для точного предсказания временного поведения процессора с помощью САВЗ была проанализирована вся цифровая схема.

Исходя из вышеизложенного, более целесообразно применение при синтезе процессора метода САВЗ, основывающегося на блоках. На рис. 4 приведен использованный маршрут проектирования, состоящий из двух частей. К обычному циклу СВА добавлен дополнительный цикл САВЗ. В результате был получен совмещенный метод временного анализа.

Из результатов временного анализа процессора (рис. 5) видно, что при применении САВЗ временной запас критических путей (имеющий значения от 0 до 2 нс) примерно на 0,3 нс больше, чем в случае обычного СВА.



Рис. 2. Методы САВЗ, основывающиеся на путях (а) и блоках (б)

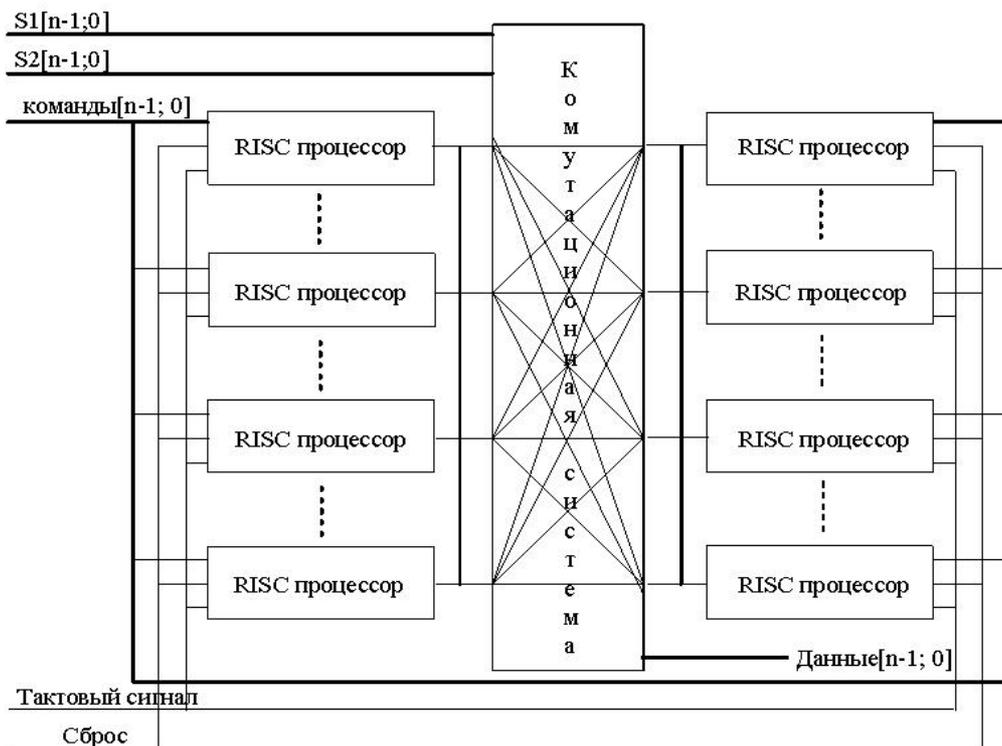


Рис. 3. Структурная схема многоядерного процессора

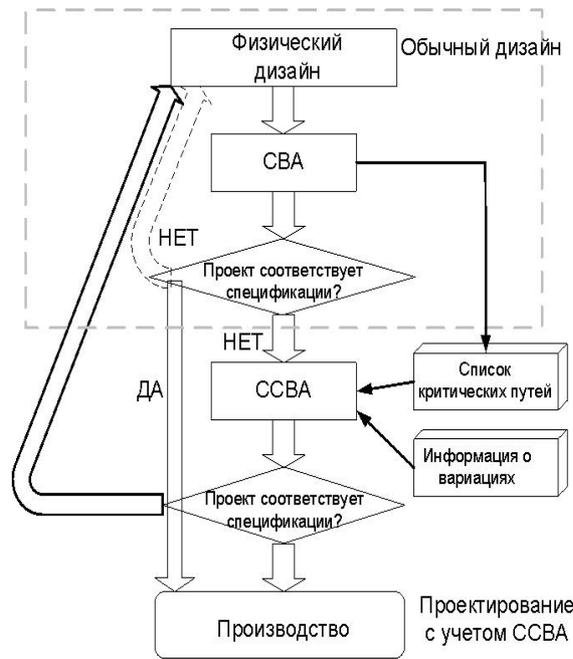
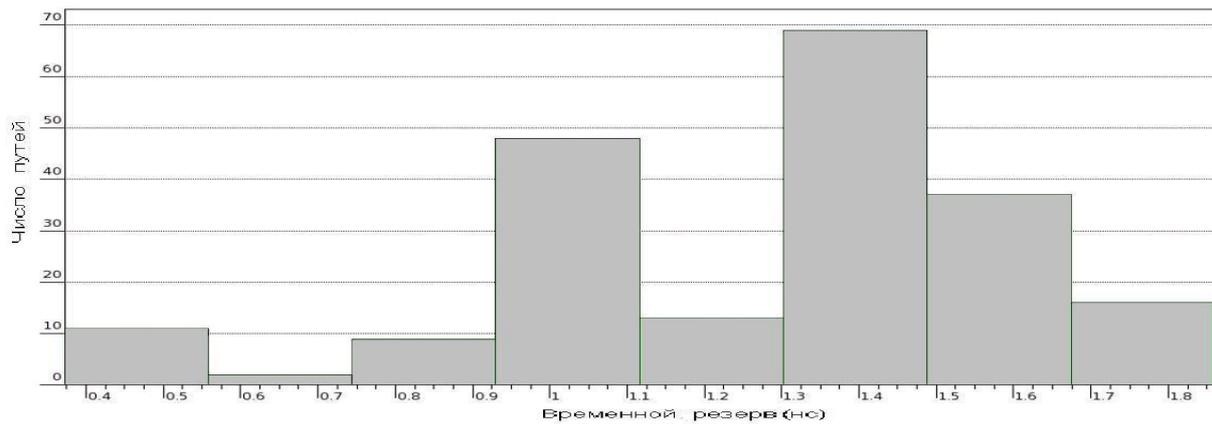
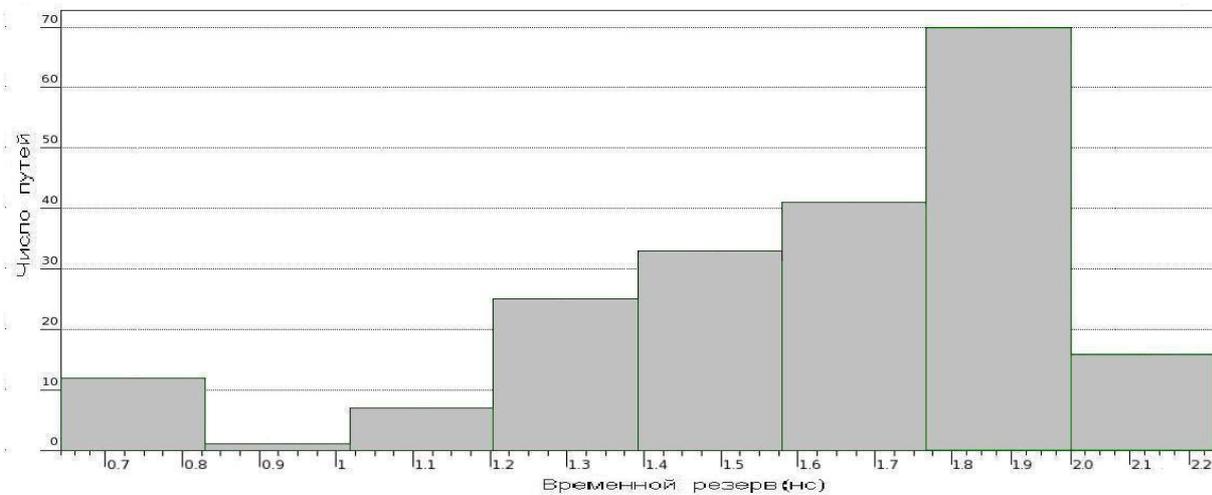


Рис. 4. Совмещенный маршрут временного анализа



а



б

Рис. 5. Временной резерв критических путей при СВА (а) и САВЗ (б)

Выводы

Применение предложенного комбинированного метода анализа в случае проектирования мультипроцессорных систем позволяет достичь результатов, более близких к реальным значениям.

Литература

1. *D. Blaauw*, K. Chopra, A. Srivastava, Lou Scheffer: Statistical Timing Analysis: From Basic Principles to State of the Art// IEEE transactions on computer-aided design of integrated circuits and systems, Vol. 27, No. 9, April 2008, PP. 589-607.
2. *V. Veetil*, D. Sylvester, D. Blaauw: Efficient Monte Carlo based Incremental Statistical Timing Analysis// DAC 2008, June 8-13, 2008, Anaheim, California, USA, PP. 688-693.
3. *Sanjay V. Kumar*, Chandramouli V. Kashyap, Sachin S. Sapatnekar: A Framework for Block-Based Timing Sensitivity Analysis// DAC 2008, June 8-13, 2008, Anaheim, California, USA, PP. 688-693.
4. *Design Compiler User Guide*, Synopsys Inc., 2008
5. *PrimeTime User Guide*, Synopsys Inc., 2008
6. *PrimeTime-VX User Guide*, Synopsys Inc., 2009
7. *S. Naidu*, A. Nardi, E. Tuncer et al: Use of Statistical Timing Analysis on Real Designs// 978-3-9810801-2-4/DATE07 © 2007 EDAA