

Электронные системы

УДК 621.3.049

А.Г. Арутюнян, канд. техн. наук

Линейное размещение ячеек цифровых интегральных схем с учетом резервов задержек в цепях

Предложен метод линейного размещения стандартных ячеек цифровых интегральных схем (ИС), основанный на предварительном временном анализе схемы и определении линейных координат, соответствующих нижней и верхней границам задержки сигнала в цепях. Определение предварительных линейных координат размещения ячеек производится по средневзвешенному значению отдаленности от линейных координат нижних границ задержки сигнала, инцидентных соответствующей ячейке цепей. В качестве весов фигурируют резервы времени соответствующих цепей. Окончательное размещение ячеек производится линейным перемещением координат ячеек до устранения перекрытий ячеек.

A method of linear placement of standard cells of digital integrated circuits (IC), based on the preliminary timing analysis of the circuit and definition of linear co-ordinates corresponding to bottom and top boundaries of signal delay in nets. Definition of preliminary linear co-ordinates of cells placement is made on the average value of distance from linear co-ordinates of the bottom boundaries of a signal delay of incidental nets to the corresponding cell. Reserves of time of corresponding nets considered as a weight. Final placement of cells is made by linear moving of cells co-ordinates before elimination of cells is overlappings.

Введение

При проектировании современных цифровых ИС возникает ряд проблем, связанных с их высокой интеграцией, быстродействием и потребляемой мощностью, что приводит к их чрезвычайно большой проектной стоимости. Использование традиционного маршрута проектирования, предполагающего единый сквозной проход этапа физического проектирования, может привести к большому объему неточностей и недостатков, устранение которых потребует многократного циклического прохода всего цикла физического проектирования, включая создание новой общей топологической структуры от основания.

С целью преодоления указанной проблемы в настоящее время бурно развивается распределенная параллельная технология физического проектирования, основанная на разделении общей задачи размещения элементов ИС на параллельные подзадачи размещения элементов отдельных модулей с последующим относительным размещением этих модулей [1]. Такой подход приводит к сокращению времени проектирования с одновременным повышением предсказуемости проектных решений. Эффективность данного подхода во многом зависит от результатов физического проектирования отдельных модулей. При этом надо стремиться к тому, чтобы на следующем, более высоком иерархическом уровне проектирования эти модули по возможности не подвергались изменениям.

Указанный метод особенно эффективен при библиотечном стиле проектирования, широко используемом в настоящее время при проектировании цифровых ИС. При этом группы сильно связанных логических ячеек образуют модули линейно размещенных ячеек в виде конструктивных линеек.

При физическом проектировании модулей особую важность приобретает обеспечение быстродействия ИС. Это обусловлено тем, что быстродействие современных цифровых ИС во многом зависит от временных задержек сигнала в межсоединениях. Задержки в межсоединениях определяются RC параметрами линий связи, которые, в свою очередь, при определенной технологии, в основном, зависят от их длин. Окончательные длины межсоединений определяются после решения задачи трассировки, результаты которой во многом предопределяются размещением элементов. При библиотечном стиле проектирования наблюдается разделение длин межсоединений на две характерные группы: локальные и глобальные. Локальные межсоединения обусловлены связями внутри логических ячеек, длина которых соизмерима с топологическими размерами ячеек и составляет при технологии 90 нм порядка 5 мкм. Глобальные же межсоединения обусловлены связями между логическими ячейками в пределах общей топологической площади проекта, длина кото-

рых соизмерима с топологическими размерами полупроводникового кристалла и составляет порядка 10^4 мкм.

Если принять, что среднее количество внешних контактов стандартных ячеек и количество выводов транзисторов примерно одинаковы, а соотношение их количеств в ИС составляет порядка 1:10, то соотношение суммарных длин локальных и глобальных межсоединений составит порядка $5:10^3$. Таким образом, основная доля задержек сигналов в межсоединениях приходится на глобальные межсоединения. Учитывая, что большая доля глобальных межсоединений является внутримодульной, становится очевидной важность учета задержек в цепях при линейном размещении ячеек внутри модулей.

Задача размещения с учетом задержек в межсоединениях в литературе называется “временем направленное размещение” [2]. В существующих системах автоматизированного проектирования эта задача решается путем оценки критических путей “вход-выход” проектируемой схемы с дальнейшей минимизацией задержек в этих путях. Существующие алгоритмы решают задачу в два этапа — начальное размещение, основанное на приближенных быстрых алгоритмах, и окончательное размещение, основанное на итерационных алгоритмах. При этом учет временных задержек сигнала, как правило, производится на втором этапе, который предусматривает многократное изменение начального размещения, нацеленное на сокращение задержек критических путей.

Как известно, основным недостатком итерационных алгоритмов является потребность большого машинного времени, а эффективность решения во многом зависит от результатов начального размещения. Алгоритмы начального размещения, в свою очередь, основаны на учете электрической связанности элементов. Таким образом, важной задачей становится разработка методов оценки таких допустимых границ задержек в отдельных цепях, которые не могут привести к увеличению суммарных задержек критических путей. Ниже описывается метод начального линейного размещения ячеек, основанный на предварительной оценке допустимых границ задержек в отдельных цепях и их учете при размещении ячеек.

1. Описание метода

В отличие от существующих алгоритмов линейного размещения, в которых реализуется последовательное размещение ячеек по максимуму связанности с уже размещенными, в на-

стоящей работе предлагается новый подход, основанный на предварительном размещении цепей. Предлагаемый подход реализует следующие шаги:

1. Определение нижних и верхних границ задержки сигнала и резервов времени всех цепей схемы.

2. Определение линейных координат цепей, соответствующих нижним границам задержки сигнала.

3. Определение предварительных линейных координат ячеек с учетом резервов времени, инцидентных соответствующим ячейкам. При этом допускаются взаимные перекрытия ячеек.

4. Легализация размещения ячеек. При этом ячейки выстраиваются в плотный линейный ряд с исключением перекрытий.

Определение нижних и верхних границ задержки сигнала основано на построении сетевой модели схемы и организации в ней поиска в глубину. Сетевая модель представляет собой ориентированный ациклический граф, вершинам которого соответствуют цепи схемы, а ребрам — элементы. Ребра ориентированы от входных цепей к выходным. Вес каждого ребра соответствует величине задержки соответствующего элемента.

Под нижней границей задержки сигнала (t_n) для некоторой цепи будем понимать минимальное время, необходимое для формирования правильного сигнала в данной цепи, начиная с момента появления сигнала на входах схемы. Это время определяется суммарной задержкой того пути от входов схемы до данной цепи, который имеет наибольшую задержку, и для некоторой i -й цепи, имеет вид

$$t_{ni} = \max_{j \in Z_1(j,i)} [t_{nj} + t_{n(j,i)}], \quad (1)$$

где $Z_1(j,i)$ — множество входных цепей таких ячеек, для которых i -я цепь является выходной; t_{nj} — нижняя граница задержки j -й цепи; $t_{n(j,i)}$ — задержка ячейки, для которой j -я цепь является входной, а i -я — выходной.

Под верхней границей задержки сигнала t_e для некоторой цепи будем понимать ту максимальную суммарную задержку от входов схемы до данной цепи, которая еще не приводит к опозданию сигнала на выходах схемы. Для некоторой i -й цепи она определяется по формуле

$$t_{ei} = \min_{j \in Z_2(i,j)} [t_{ej} - t_{e(i,j)}], \quad (2)$$

где: $Z_2(i,j)$ — множество выходных цепей таких ячеек, для которых i -я цепь является входной; t_{ej} — верхняя граница задержки j -й цепи; $t_{e(i,j)}$ —

задержка ячейки, для которой i -я цепь является входной, а j -я - выходной.

Максимальная задержка от входов до выходов схемы определяется максимальной нижней границей задержки сигнала на выходах схемы. Для предотвращения дополнительного опоздания формирования правильного сигнала на всех выходах схемы верхние границы задержек сигнала для всех выходных цепей принимаются равными максимальной нижней границе задержки на выходах схемы. Таким образом, хотя бы для одной выходной цепи будет соблюдаться равенство нижней и верхней границ задержки сигнала.

Под резервом времени i -й цепи будем понимать разность верхней и нижней границ задержки сигнала данной цепи:

$$R_i = (t_{ei} - t_{ni}) \quad (3)$$

С конструктивной точки зрения, резерв времени некоторой цепи показывает ту максимальную задержку на межсоединениях данной цепи, которая еще не приводит к опозданию формирования правильного сигнала на выходах схемы. Цепи с нулевым резервом времени определяют критические пути от входов до выходов схемы. Любая задержка на межсоединениях этих цепей приводит к опозданию сигнала на выходах схемы.

Линейные координаты цепей определяются с учетом следующих соображений:

- при обработке информации последовательность формирования сигнала в цепях производится в соответствии с увеличением значений нижних границ задержки сигнала соответствующих цепей;

- максимальной задержке $t_{H(e)max}$ соответствует максимальный линейный размер $L_{(V)max}$ линейки размещения ячеек, а линейная координата нижней (верхней) границы задержки сигнала некоторой i -й цепи $L_{(V)H(e)i}$ пропорциональна значению задержки $t_{H(e)i}$ этой цепи и определяется следующим образом:

$$L_{(V)H(e)i} = \frac{L_{(V)max}}{t_{H(e)max}} t_{H(e)i} \quad (4)$$

Предварительная линейная координата некоторой i -й ячейки $L_{(C)i}$ с учетом инцидентности цепей этой ячейки определяется по ее средневзвешенному значению следующим образом:

$$L_{(C)i} = \frac{\sum_{j \in V_{Ci}} L_{(V)Hj} K_j}{\sum_{j \in V_{Ci}} K_j} \quad (5)$$

где $L_{(V)Hj}$ - координаты нижней границы задержки сигнала j -й цепи; K_j - весовой коэффициент j -й цепи; $V_{(C)i}$ - множество цепей, инцидентных ячейке C_i .

Так как длина цепи обратно пропорциональна ее резерву времени, а также учитывая, что $R_{min} = 0$, весовой коэффициент K_j для некоторой j -й цепи можно определить в виде

$$K_j = 1 - \frac{R_j}{R_{max}} \quad (6)$$

Легализация размещения ячеек производится путем плотного линейного упорядочения ячеек по мере возрастания их предварительных линейных координат.

2. Пример практической реализации

Эффективность предложенного подхода проверялась на примерах начального размещения ячеек нескольких тестовых цифровых схем, построенных на стандартных логических ячейках. Для простоты вычислений рассмотрим простейший пример линейного размещения ячеек тестовой схемы, приведенной на рис. 1.

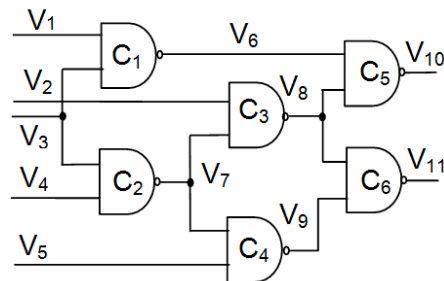


Рис. 1. Пример тестовой схемы

Параметры логических ячеек выбраны из библиотеки стандартных ячеек разработанной в учебном департаменте компании “Синописис Армения” [3]. Для указанной библиотеки задержки логических ячеек имеют следующие значения: $T_1=T_4=T_5=T_6=85$ пс; $T_2=T_3=100$ пс. Сетевая модель схемы представлена на рис. 2.

Слева и справа от вертикальных линий над вершинами приведены рассчитанные по формулам (1) и (2) значения нижних и верхних границ задержки сигнала соответствующих цепей, а над вертикальными линиями – рассчитанные по формуле (3) значения соответствующих резервов времени.

Рассмотрен пример размещения ячеек в линейку. Линейные размеры длин ячеек имеют следующие значения: $b_{c1}=b_{c4}=b_{c5}=b_{c6}=2,0$ мкм; $b_{c2}=b_{c3}=3,0$ мкм. Таким образом, при линейном

плотном размещении ячеек, длина линейки будет $L_{(V)max} = 4 \cdot 2,0 + 2 \cdot 3,0 = 14,0$ мкм.

Как видно из расчетных данных, приведенных на рис. 2, верхний t_v и нижний t_n пределы задержки сигнала для путей вход-выход схемы равны $t_{n(e)max} = 285$ пс.

С учетом вышесказанного, пользуясь формулой (4), определяются линейные координаты нижней и верхней границ задержки сигнала каждой цепи, расчетные значения которых приведены в таблице 1.

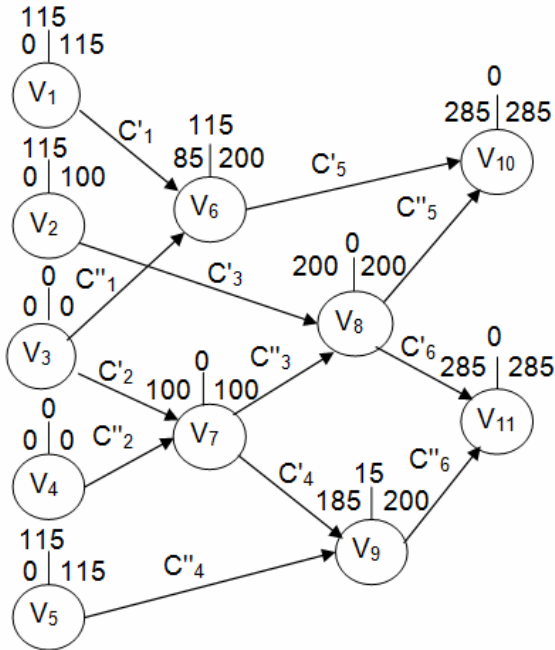


Рис. 2. Сетевая модель тестовой схемы

Далее, пользуясь формулой (5), определяются следующие предварительные координаты ячеек в мкм: $L_{(C)1} = 0$; $L_{(C)2} = 1,6$; $L_{(C)3} = 7,4$; $L_{(C)4} = 6,9$; $L_{(C)5} = 11,9$; $L_{(C)6} = 11,0$. На рис. 3 приведена графическая модель предварительного линейного размещения ячеек с указанием линейных координат нижней и верхней границ задержки сигнала каждой цепи, а на рис. 4 - графическая модель окончательного линейного размещения ячеек с указанием межсоединений и входных-выходных критических цепей. В качестве координат отсчета приняты левые края ячеек.

Табл. 1. Координаты верхней и нижней границ задержки цепей

	V ₁	V ₂	V ₃	V ₄	V ₅	V ₆	V ₇	V ₈	V ₉	V ₁₀	V ₁₁
$L_{(V)n}$ [мкм]	0	0	0	0	0	4,2	4,9	9,8	9,1	14	14
$L_{(V)s}$ [мкм]	5,6	4,9	0	0	5,6	9,8	4,9	9,8	9,8	14	14

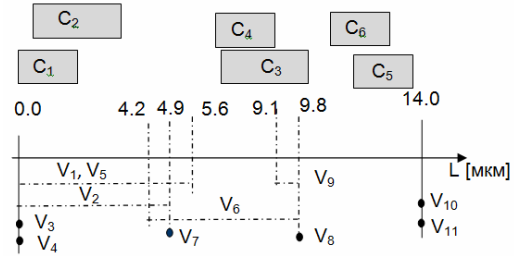


Рис. 3. Графическая модель предварительного линейного размещения ячеек с указанием линейных координат нижней и верхней границ задержки сигнала каждой цепи

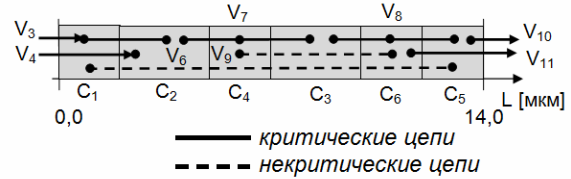


Рис. 4. Графическая модель окончательного линейного размещения ячеек с указанием межсоединений и входных-выходных критических цепей

Как видно из рис. 4, длины критических цепей минимально возможные, а длины некритических цепей возрастают пропорционально резервам их задержек.

Выводы

Предложен метод линейного размещения стандартных ячеек цифровых ИС с учетом задержек распространения сигнала в цепях.

Рассмотрен пример линейного размещения стандартных ячеек тестовой схемы. Апробация метода для размещения ячеек ряда тестовых схем показала высокую эффективность по минимизации длин критических цепей и относительной взвешенности длин остальных цепей.

Предлагаемый метод может быть внедрен в существующие средства САПР в виде подсистемы начального размещения стандартных ячеек, а полученные результаты могут служить стартовым размещением для дальнейшей оптимизации.

Литература

1. Talus Automated Chip Creation Methodology // Magma Design Automatin 1650 Technology Drive San Jose, CA 95110: Copyright © 2006 Magma Design Automation, Inc. www.magma-da.com.-San Jose, 2006.- 12 p.
2. Naveed A. Sherwani. Algorithms for VLSI Physical Design Automation. Intel Corporation.- Kluwer Academic Publishers, 1999.- 572 p.
3. Digital Standard Cell Library // SAED_EDK90_CORE DATABOOK: © 2008 SYNOPSIS ARMENIA Educational Department.- Yerevan, 2008.- 96p