

УДК 621.3.049.771

В.Ш. Меликян, д-р техн. наук, В.К. Агаронян, М.М. Симонян, Н.О. Бегларян

Энергосбережение электронных устройств, подсоединяемых к универсальной последовательной шине

Предложен механизм ввода нового модуля и функциональности в состав современных контроллеров, подсоединяемых к универсальной последовательной шине (УПШ). Это позволяет перевести устройство в “спящий” режим и способствует уменьшению потребляемой мощности до 90%, если оно находится в приостановленном состоянии и неактивно на УПШ. Предложенный модуль не включается и не нуждается в питании, если контроллер находится в рабочем состоянии. Логика описана на языке Verilog и аттестирована на программируемой логической матрице (ПЛМ) семейства Virtex. Выполнены необходимые модификации в драйвере контроллера УПШ для поддержки “спящего” режима. Благодаря включенной логике площадь контроллера увеличилась на размер, необходимый для размещения 2000-2500 ключей, что составляет всего 3,5% от общего числа элементов.

The mechanism of including new module and functionality to modern USB bus is proposed. This allow to put USB device into hibernation and make decrease of consumed power up to 90 percent if device is in suspended state and not activate on USB. Offered module is completely powered-off while core functions in normal mode. Logic is implemented on Verilog Hardware description language and tested on FPGA of Virtex family. Necessary changes in USB device driver to support hibernation has been done. Because of included logic core's occupied area increased by dimensions needed to place 2000-2500 gates which makes up only 3.5 percent of element's total number.

Введение

Потребляемая мощность является одной из основных характеристик устройств УПШ [1,2]. Поэтому необходимо иметь подходящие методы проектирования таких устройств, которые были бы ориентированы на уменьшение потребляемой мощности. Процесс управления потребляемой мощностью устройства УПШ состоит из двух частей:

- распределение подаваемой главным устройством мощности по подключенным к УПШ устройствам;

- приспособление периферийных устройств и программного обеспечения УПШ к системе управления мощностью главного устройства.

Известно, что каждый сегмент УПШ доставляет ограниченное количество мощности по кабелю. Последнее реализуется или в съемном (в случае модема), или же в постоянном (в случае клавиатуры) виде. Главное устройство снабжает питанием все остальные блоки, которые прямо подключены к нему. Однако периферийные устройства могут иметь и собственные источники питания [1]. Если к системе подключен распределитель, то он тоже подает питание устройствам, подсоединенным к его портам. Причем системное программное обеспечение подключенного устройства взаимодействует с системой управления мощностью на главном устройстве, чтобы реагировать на такие события, как приостановление или возобновление. Принципы и спецификация УПШ дают возможность спроектировать контроллеры УПШ для мощностно-чувствительных и переносных устройств, работающих на батарейках (ноутбук, телефон, аудиопроигрыватель, цифровая камера) [2,4]. Для таких случаев устройства УПШ могут иметь собственные, дополнительные методы употребления питания, что позволяет системному обеспечению управлять устройствами с целью сохранения мощности. К таким методам можно отнести, например, переход контроллера в режим энергоснабжения [3] или же проектирование устройства таким образом, чтобы оно было совместимо с протоколом OTG [4]. В последнем случае выходной ток порта равен 8 мА. Для сравнения, в контроллере УПШ персонального компьютера (ПК) ток достигает 500 мА [4,5]. Протокол OTG дает также возможность разработать такую функциональность, чтобы при отсутствии активности главное устройство могло отключить питание на шине, а периферийное устройство, иницилируя при необходимости особый сигнал, могло требовать услуги от главного устройства для возобновления нормального режима работы. В случае ПК питание порта всегда включено, даже если отсутствуют подсоединенные устройства.

В предлагаемом механизме основное внимание уделено фактору уменьшения потребляемой мощности контроллера УПШ, что позволяет перевести контроллер в “спящий” режим.

Описание предложенного метода

Согласно спецификации УПШ, если контроллер не обнаруживает активности на шине, он переходит в незанятое состояние. Если это состояние не изменяется в течение 3 мс, то контроллер переходит в приостановленное состояние. Устройство УПШ должно быть полностью приостановлено в течение 10 мс после начала процедуры приостановки. Контроллер выходит из этого состояния, как только намечается любая активность на порту устройства УПШ. Главное устройство способно поместить в приостановленное состояние все периферийные устройства, подключенные к нему (глобальное приостановление), или же сделать это с одним из них, выбирая устройство по приоритету или запросу пользователя (выборочное приостановление). Но в таком положении контроллер устройства остается включенным – все синхронные сигналы подаются модулям контроллера, за исключением приемопередатчика. Пакеты, указывающие начало временного кадра, посылаются по шине со стороны контроллера с временным интервалом, равным 125 мкс в случае высокоскоростных устройств и 1 мс - в случае полноразрешенных. В приостановленном состоянии контроллер должен подавать питание на линии D+ или D-.

Помимо УПШ контроллера, предлагается ввести логику, которая может функционировать независимо от самого контроллера.

Такая логика способна дежурить и предупреждать драйвер контроллера о событиях, поступающих от шины, пока сам контроллер находится в приостановленном состоянии. Это дает возможность полностью отключить контроллер от питания после приостановки. Внешняя логика будет предупреждать драйвер, инициируя возобновление контроллера при следующих сценариях на УПШ: устройство отключается от порта; возникает сигнал сброса на шине, при котором порт должен быть переинициализирован; устройство, подключенное к приостановленному устройству, инициирует возобновление.

Структурная схема контроллера и внешней пробуждающей логики имеет вид, представленный на рис. 1.

УВШ (усовершенствованная высокоскоростная шина) является шинным интерфейсом, разработанным компанией ARM и предназначенным для работы контроллера УПШ с памятью системы. С помощью селективного сигнала мультиплексорная логика выбирает между регистрами контроллера, находящегося в рабочем режиме, и тем регистром, с которым работает пробуждающая логика в “спящем” режиме устройства. Этот регистр предназначен для информирования драйвера о состоянии пробуждающей логики. Блок, показанный на рис. 1, состоит из двух частей. Первая условно названа “блоком управления мощностью” со стороны программы, а вторая – “пробуждающей логикой”. Ниже приведены составные описания этих блоков.

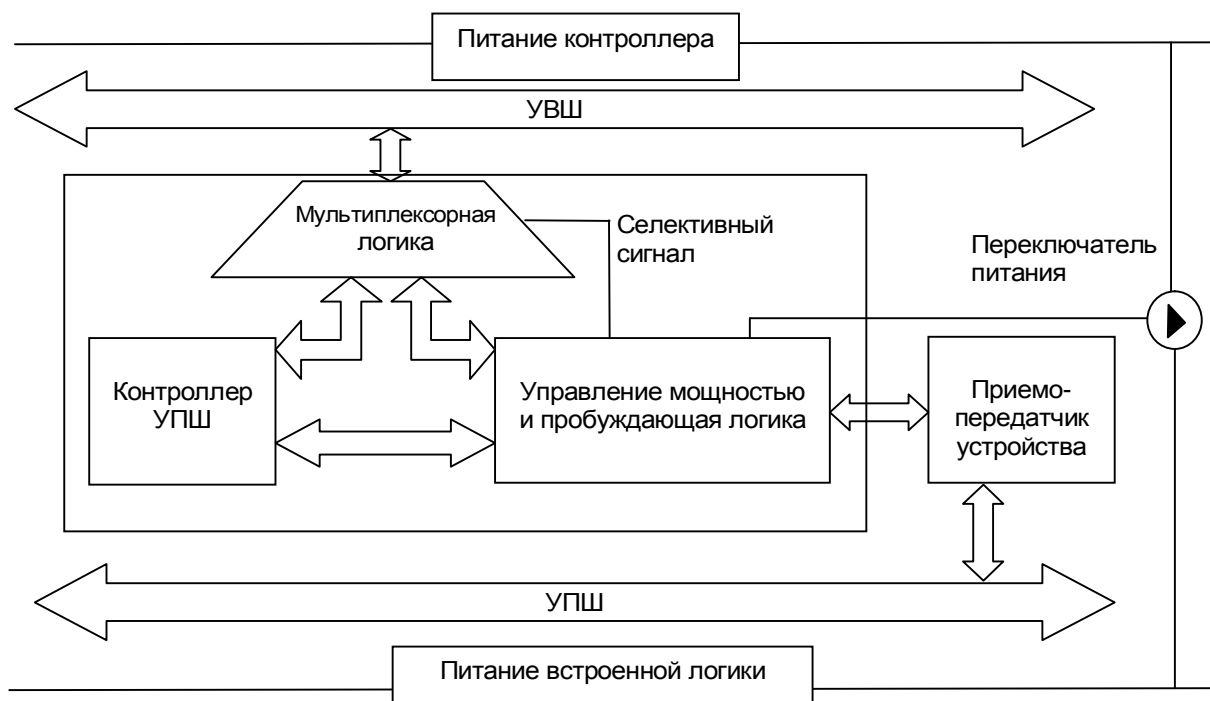


Рис. 1. Структурная схема контроллера и встроенная логика

Архитектура блока управления мощностью

Этот блок разработан для предоставления регистрного интерфейса программному обеспечению системы с целью контроля пробуждающей логики и управления мощностью. Структурная схема этого подмодуля приведена на рис. 2:

Логика фиксирования и запоминания сигналов запоминает значения выходных сигналов контроллера до перехода контроллера в «спящий» режим. Далее эти значения перенаправляются на вход пробуждающей логики (это необходимо для информирования пробуждающей логики о режиме контроллера – главное устройство или периферия). С помощью сигнала, идущего от системного регистра, драйвер предупреждает о начале отключения, а бит в регистре, соответствующий этому сигналу, сбрасывается программой, если нужно инициировать пробуждение. Ведомая логика АВШ предназначена для чтения/записи в регистр. С

помощью генератора системных прерываний драйвер получает информацию об активности на шине и о переменах в состояниях портов.

Архитектура блока пробуждения

Функциональная цель этого блока состоит в управлении и поддержке входных и выходных сигналов УПШ приемопередатчика. Отсюда следует, что эта логика должна быть зависима от интерфейса приемопередатчика (высокоскоростного или полноскоростного). В случае поддержки обоих интерфейсов она должна включать в себя мультиплексорный модуль для выбора сигналов данного интерфейса. Структурная схема этого блока приведена на рис. 3.

Сигнал пробуждения поступает от бита системного регистра, который программируется драйвером для включения пробуждающей логики. Этот блок в целом работает с сигналами УПШ приемопередатчика, характеризующими состояние устройства подключенного к порту.

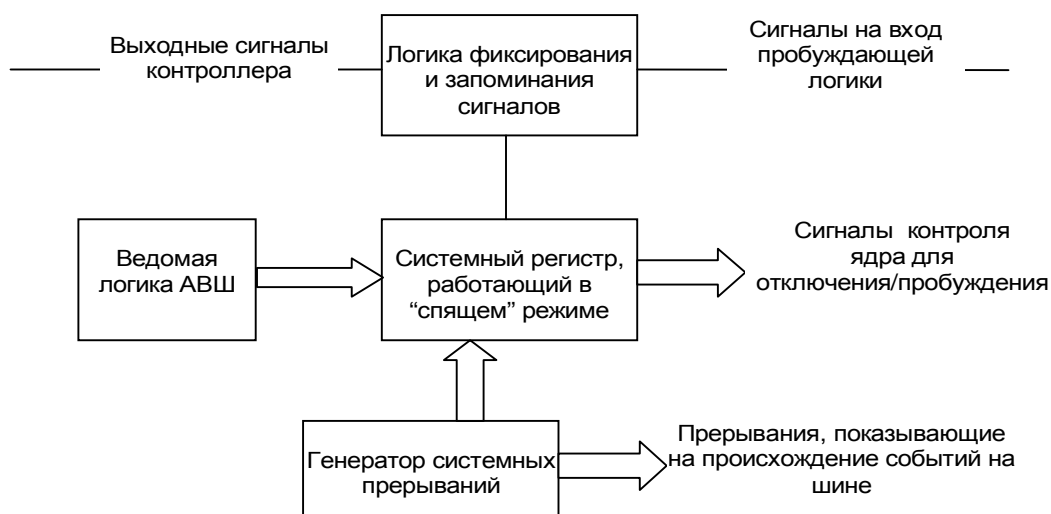


Рис. 2. Архитектура блока управления мощностью со стороны драйвера

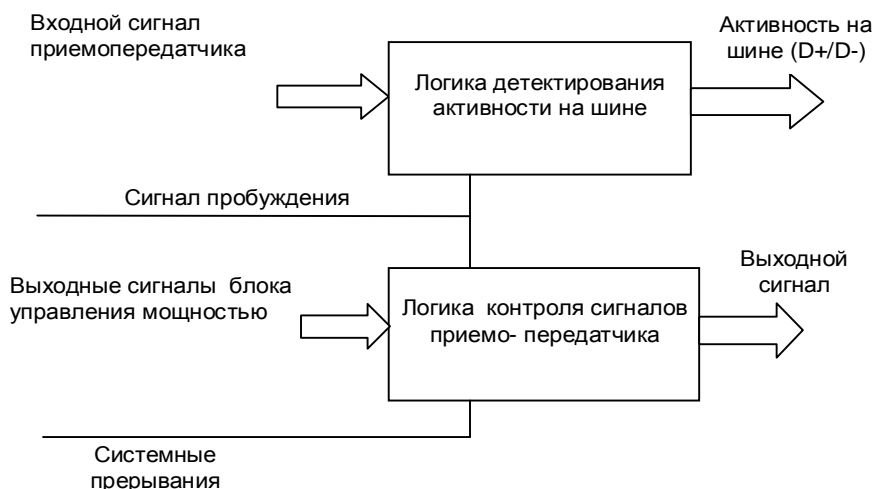


Рис. 3. Структурная схема блока пробуждения

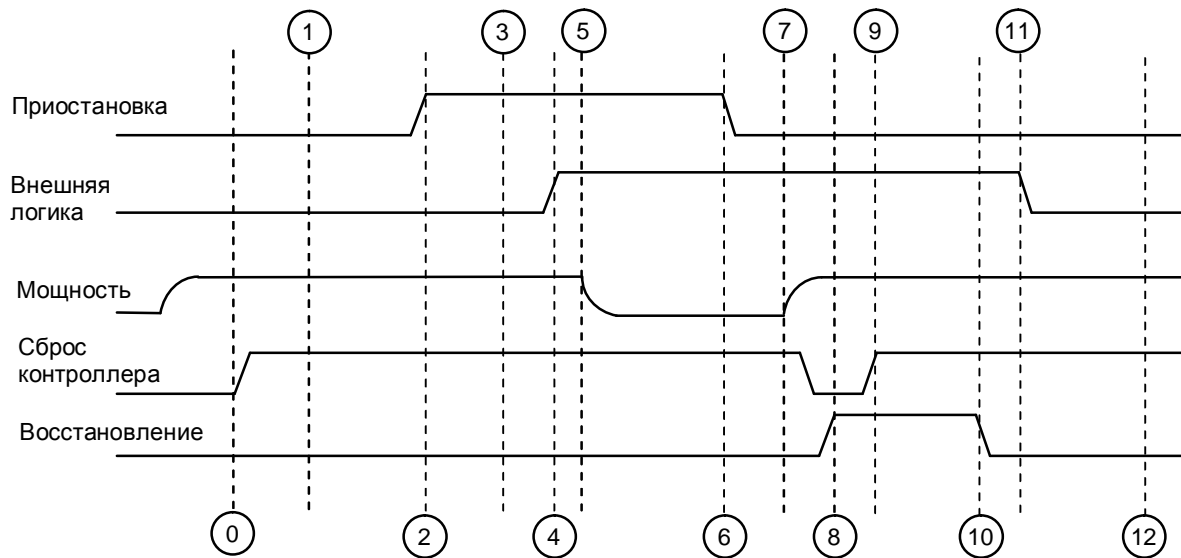


Рис. 4. Шаги для перехода контроллера в “спящий” режим и его пробуждения из этого состояния

Описание алгоритма перехода контроллера в “спящий” режим и его дальнейшего пробуждения из этого состояния

Представлена последовательность шагов и состояний, необходимых для перевода контроллера УПШ в “спящий” режим, а затем для его пробуждения из этого состояния (рис. 4):

- (0) питание включено, сбрасывающий сигнал не подается на вход;
- (1) контроллер находится в рабочем состоянии после сброса;
- (2) инициируется или детектируется команда приостановки;
- (3) драйвер начинает готовить контроллер для его помещения в “спящий” режим. Драйвер запоминает значения основных регистров контроллера, описывающих его состояние. Этот момент времени называется “точкой запоминания”;
- (4) внешний модуль, ответственный за детектирование активности на УПШ и информирование об этом драйвера, когда контроллер находится в “спящем” режиме, включается;
- (5) питание всего контроллера отключается;
- (6) контроллер выходит из приостановленного состояния, если внешняя логика детектирует активность на шине, или же если пользователь решает вернуть устройство в рабочий режим;
- (7) питание контроллера включается;
- (8) драйвер устройства инициирует сигнал пробуждения с целью уведомления контроллера о

выходе из “спящего” состояния. Этот момент называется “точкой пробуждения”;

- (9) драйвер восстанавливает сохраненные значения регистров контроллера;
- (10) драйвер сбрасывает сигнал пробуждения, указывая на окончание процесса выхода из “спящего” режима;
- (11) внешний модуль деактивируется;
- (12) контроллер находится в нормальном рабочем состоянии.

Выводы

Для тестирования предложенного модуля использован контроллер HSOTG УПШ фирмы Synopsys, подключенный к системе с процессором ARM. Verilog код предложенного модуля был подключен к коду контроллера, произведен синтез с помощью инструмента Synplicity. Синтезированная логика аттестирована на программируемой логической матрице семейства Virtex2 фирмы Xilinx. Осуществлена модификация драйвера контроллера, написанного на языке C и работающего на операционной системе Linux, с целью поддержания “спящего” режима контроллера. Отмечено, что при синтезе логики и программировании на ПЛМ благодаря включенной логике площадь контроллера увеличивается на размер, необходимый для размещения 2000-2500 ключей, что составляет всего 3,5% от начального общего числа элементов контроллера. Проведенные тесты показали, что для приостановленного контроллера при использовании “спящего” режима можно сэкономить до 93% потребляемой мощности, так

как разработанная новая логика потребляет всего 7-10% мощности по сравнению с расхо-

дуемой контроллером во включенном состоянии.

Литература

1. *Anderson Don*, Dzatko Dev. Universal Serial Bus System Architecture. Second Edition. - 2001, 506p.
2. *Universal Serial Bus Specification*. Rev 2.0. - April 2000, www.usb.org.
3. *Keating Michael*, Flynn David, Aitken Robert, Gibbons Alan, Shi Kaijian. Low Power Methodology Manual For System-on-Chip Design. – 2008, 300 p
4. *On-The-Go* Supplement to the USB 2.0 Specification Revision 1.3. - December 5, 2006, www.usb.org.
5. *Remple T.B.*, USB On-The-Go Interface for Portable Devices// IEEE International Conference on 17-19 June 2003, p.8 – 9.