

УДК 621.316.54:621.314.632

П.В. Кучернюк, канд. техн. наук, Л.Н. Павлов, канд. техн. наук

Национальный технический университет Украины «Киевский политехнический институт»,
ул. Политехническая, 16, корпус 12, г. Киев, 03056, Украина.

Схемотехника сверхнизковольтного перемножителя сигналов

Рассмотрены условия перехода от условий работы традиционного дифференциального каскада, построенного МОП-транзисторах к условиям сверхнизковольтного режима работы в качестве перемножителя сигналов на весовые коэффициенты $+1$ и -1 . Исследованы особенности схемотехники этого перемножителя сигналов, составляющего основу программируемого фильтра-коррелятора. Рассмотрены основные источники ошибки перемножения и сделана аналитическая оценка их величины. Исследованы условия выходного преобразования сигнала-продукта перемножения. Приведены практические схемы преобразователей выходного сигнала.

Библ. 5, рис.5.

Ключевые слова: перемножитель сигналов; преобразователь ток-напряжение; преобразователь напряжение-ток; ячейка аналоговой памяти; программируемый фильтр-коррелятор; ошибка перемножения.

Введение

Реализация современных аналоговых перемножителей сигналов подразумевает исследование возможности их реализации на основе сверхнизковольтной технологии [1,2]. Отчасти такой интерес обусловлен стратегией развития

самой области применения, которая подразумевает высокую скорость преобразования сигналов. В этом смысле требуется достижение приемлемого динамического диапазона устройства при максимально низких амплитудах входных сигналов. Как правило, основу перемножителей рассматриваемого класса составляет каскад, построенный на основе дифференциальной пары из биполярных или МОП-транзисторов и источника тока, рис. 1. Режим работы такого каскада соответствует пологой области вольт-амперных характеристик, что характерно при работе в режиме усиления. В этом случае выходной сигнал образуется разностью выходных напряжений U_{out1} и U_{out2} , снимаемых с нагрузок коллекторов или стоков транзисторов $VT1$ и $VT2$ соответственно.

Недостаток таких перемножителей – относительно малое быстродействие, которое определяется высокой величиной постоянной времени установления из-за высокого выходного сопротивления каскада.

Задача данной работы – существенно снизить выходное сопротивление перемножителя сигналов и этим увеличить его быстродействие с сохранением низкого уровня напряжения питания.

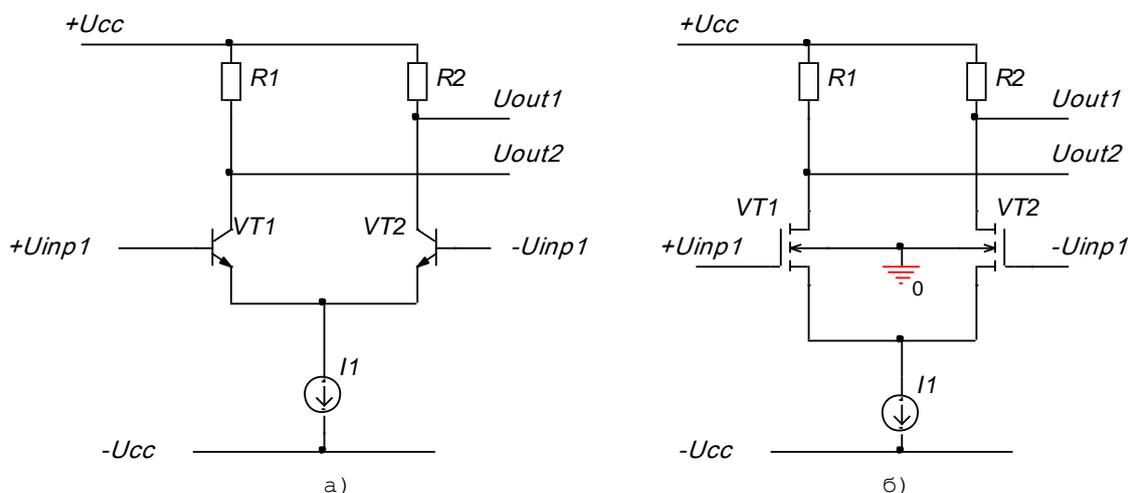


Рис. 1. Схема электрическая ядра перемножителя на основе дифференциального каскада: а) на биполярных транзисторах; б) на МОП-транзисторах

Основная часть

Для быстродействующих программируемых асинхронных фильтров корреляторов [3] содержимое каждой ячейки аналоговой памяти должно в зависимости от программного кода перемножаться на весовые коэффициенты +1 или -1. Особенность МОП-транзисторов с точки зрения построения перемножителей сигналов состоит в том, что крутая область вольт-амперной характеристики (ВАХ) содержит произведение напряжения на затворе на напряжение на стоке. Для упрощенной модели МОП-транзистора [4] ток в канале для крутой области ВАХ

$$I_c = \mu C_{ox} K [(V_G - V_T) V_D - 0,5 V_D^2], \quad (1)$$

где $K = W / L$ – топологическая крутизна транзистора с эффективной шириной канала W и длиной L , V_G – напряжение на затворе, V_T – пороговое напряжение, V_D – напряжение на стоке, μ – подвижность носителей, C_{ox} – удельная емкость окисла под затвором.

Если зафиксировать значение напряжения на стоке V_D , то ток в канале транзистора будет пропорционален напряжению на затворе. Этот эффект можно положить в основу преобразования отсчета напряжения входного сигнала в выходной ток. Для того чтобы адаптировать структуру, рис. 1(б), к режиму работы по соотношению (1) источник тока заменим источником напряжения, резисторы заменим на ключи, которые могут направлять ток в «плюсовую» шину +S или «минусовую» -S, рис. 2.

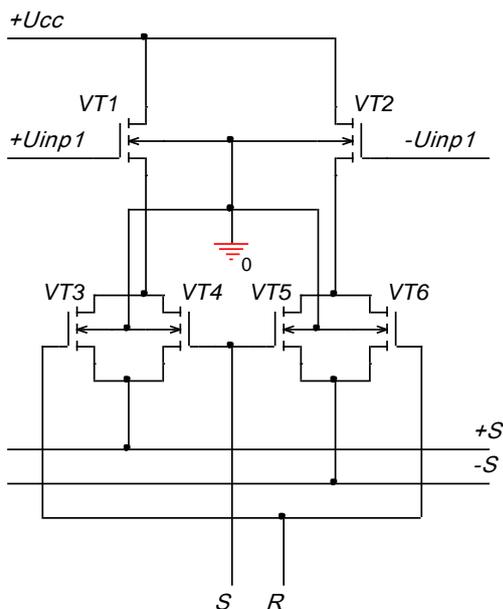


Рис. 2. Схема электрическая ядра перемножителя на основе преобразователей напряжение-ток на МОП-транзисторах

На этом уровне обе шины идентичны и, соответственно, знак тока определяется внешней схемой считывания, которая будет представлена ниже. В данном случае, в качестве преобразователей напряжение-ток выступают МОП-транзисторы $VT1$ и $VT2$. Они же являются элементами памяти для отсчетов сигнала за счет собственной емкости затворов. В качестве второй обкладки конденсатора выступает канал транзистора. То обстоятельство, что для перемножения отсчетов входного сигнала, которые хранятся на затворах транзисторов $VT1$ и $VT2$, используются только два значения импульсной функции: +1, либо -1, позволяет свести операцию перемножения к переадресации токов транзисторов $VT1$ и $VT2$ по шинам +S и -S. Для коммутации токов используются ключи на транзисторах $VT3$ - $VT5$.

Схема выборки входного сигнала также строится на аналогичных ключах и в данном случае не показана, так как анализируется только операция умножения. Соответственно для переадресации достаточно изменить код на входах управления S и R . Например, пусть на входе S установлен сигнал логической 1, а на входе R сигнал логического нуля. Тогда через ключ $VT4$ ток преобразователя, выполненного на транзисторе $VT1$, будет направлен в выходную шину суммирования токов +S, а ток преобразователя, выполненного на транзисторе $VT2$, будет направлен в выходную шину суммирования токов -S. При смене кода на входах управления S и R соответственно будут открыты ключи: транзисторы $VT3$ и $VT5$ и ток преобразователя, выполненного на транзисторе $VT1$, будет направлен в выходную шину суммирования токов -S, а ток преобразователя, выполненного на транзисторе $VT2$, будет направлен в выходную шину суммирования токов +S.

Рассмотрим, как можно оценить внутреннее сопротивление преобразователя напряжение-ток. Эквивалент этого сопротивления $R_e = V_D / I_c$. Тогда из соотношения (1) для малых напряжений V_D нетрудно получить

$$R_e \approx 1 / (\mu C_{ox} K (V_G - V_T)).$$

Сравним полученную оценку с внутренним сопротивлением дифференциальной пары, рис.1(б). Для пологой области ВАХ упрощенное выражение для тока канала

$$I_c = 0,5 \mu C_{ox} K (V_G - V_T)^2.$$

Из этого соотношения следует, что ток в канале не зависит от напряжения на стоке и сопротивление канала стремится к бесконечности. Реально же это сопротивление имеет конечное

значение, хотя и достаточно высокое, соответствует классу генераторов тока и определяется величиной модуляции длины канала транзистора напряжением сток-исток.

Таким образом, задача по уменьшению сопротивления канала преобразователя напряжение-ток решена.

Оценим погрешность результата перемножения на весовой коэффициент. Напряжение U_{inp1} на затворе транзистора $VT1$ обозначим как

$$+U_{inp1} = V_0 + V_{inf},$$

где V_0 – напряжение смещения, которое определяет работу в крутой области ВАХ, а V_{inf} – напряжение информационного сигнала. Тогда для второго преобразователя на транзисторе $VT2$

$$-U_{inp1} = V_0 - V_{inf}.$$

В соответствии с этим, если сопротивление ключей учесть как дополнение к сопротивлению преобразователя напряжение-ток (тем более, что они являются элементами обратной связи по току) и учесть, что токи на выходе будут вычитаться, то выходной сигнал i -й ячейки будет

$$U_{out} = 2\mu C_{ox}K\Delta V_{Gi} h_i V_d,$$

где напряжение V_d выступает в качестве масштабного коэффициента, ΔV_{Gi} – значение напряжения выборки сигнала i -й ячейки памяти, h_i – текущее значение весового коэффициента для i -й ячейки памяти. Таким образом, в первом приближении получаем методически точное умножение. Реально же необходимо принять во внимание более точную модель для представления тока канала с учетом влияния на подвижность носителей продольного и поперечного поля [4]. Тогда

$$I_c = \mu C_{ox}K[(V_G - V_T)V_{DS} - 0,5V_{DS}^2] / (1 + |V_{DS}|/(\xi_c L) + \eta V_{GS}),$$

где ξ_c и η определяются параметрами технологического процесса и для типовых значений составляют: $\xi_c = -1,7 \cdot 10^{-4}$ В/см, $\eta = 5,1 \cdot 10^{-7}$ см/В, V_{DS} – напряжение сток-исток, V_{GS} – напряжение затвор-исток.

Из этого соотношения следует, что на ошибку перемножения будет влиять амплитуда информационного сигнала, так как она напрямую входит в составляющую поперечного поля. В то же время в реальных условиях работы проявятся колебания напряжения V_{DS} . Это связано с наводкой от кодовой последовательности весовых коэффициентов, погрешности поддержания режима считывания на шинах весового суммирования $+S$ и $-S$, а также других наводок, связанных с просачиванием через проходные ем-

кости и подложку энергии от блоков системы управления в ячейки перемножителей.

Для сравнения с исходной схемой, рис. 1(б), необходимо учесть, что там транзисторы работают с квадратичной зависимостью выходного напряжения от входного. Поэтому точность перемножения в итоге будет существенно зависеть от способности подавления квадратичной составляющей дополнительными блоками при дальнейшей обработке результата перемножения.

Для организации параллельной аналоговой памяти на основе ячейки, рис. 2, достаточно к выходным шинам суммирования подключить остальные такие же ячейки. Методически погрешность суммирования будет стремиться к нулю, так как в основу этой операции положен второй закон Кирхгофа.

Для образования общего результата от перемножения вектора отсчетов аналогового сигнала на вектор весовых коэффициентов достаточно вычесть ток шины $-S$ из тока шины $+S$. Для этого можно, например, выполнить обратное преобразование ток-напряжение и после этого – вычитание напряжений по схеме, рис. 3. Здесь резисторы $R_1=R_2$, $R_3=R_4=R_5=R_6$. На операционных усилителях (OY) $U1$ и $U2$ выполняется преобразование тока в напряжение, в то время как OY $U3$ осуществляет вычитание полученных напряжений.

Построение схемы вычитания A , рис. 3, по сути представляет собой схему инструментального усилителя, с небольшими особенностями:

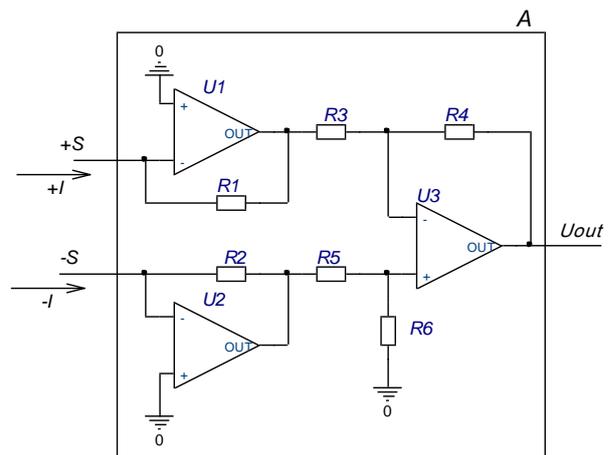


Рис. 3. Схема электрическая считывания токов

- отсутствует резистор R_G , определяющий величину усиления
- в качестве входных контактов используются инвертирующие входы OY , к которым при обычной схеме включения подключается R_G . неинвертирующие входы, которые

обычно и служат входными электродами, заземлены.

Для относительно низкочастотных приложений с полосой пропускания до 10 МГц выпускаются интегральные микросхемы (ИМС) инструментальных усилителей [5]. Такие ИМС упрощают процесс считывания, но требуют небольшого дополнения. Суть в том, что при обработке выходного тока ячейки, рис. 2, необходимо устранять существенный средний ток, чтобы не вносить неинформационную нагрузку в работу операционных усилителей. Эта задача устраняется подключением к схеме А с компенсаторов среднего тока, рис. 4, где средний ток $I_0 = -U_{cc} / R_0$.

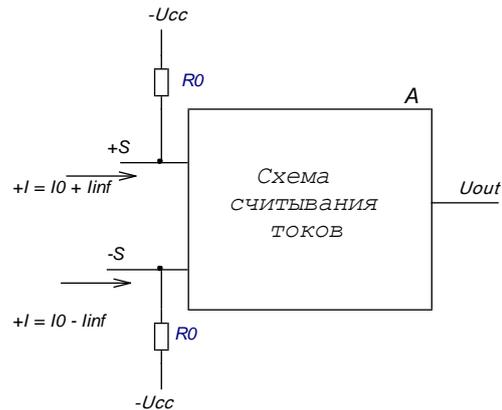


Рис. 4. Схема электрическая компенсации среднего тока

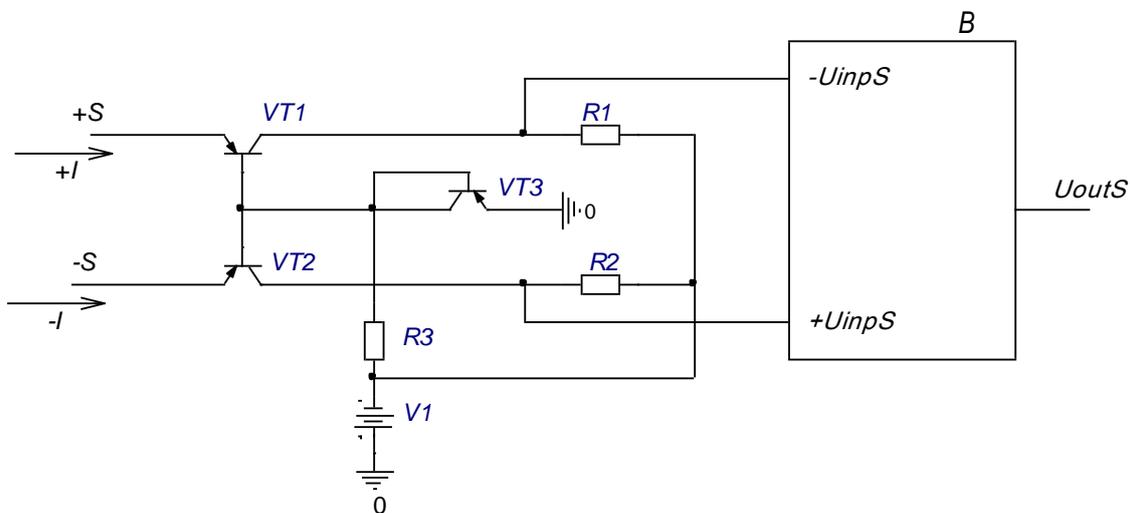


Рис. 5. Схема электрическая считывания тока для ВЧ-приложений

Для высокочастотных (ВЧ) приложений в качестве преобразователей ток-напряжение можно использовать схемы на основе каскадов с общей базой, рис. 5. Резисторы $R_1 = R_2$, транзисторы VT_1 и VT_2 выступают в качестве преобразователей ток-напряжение. Резистор R_3 и транзистор VT_3 формирует рабочую точку для схемы считывания таким образом, что выходные шины суммирования будут находиться под потенциалом земли. Дифференциальный усилитель В осуществляет вычитание напряжений, снимаемых с коллекторов транзисторов VT_1 и VT_2 .

Схему считывания токов не сложно также построить на основе дифференциальных СВЧ трансформаторов.

Необходимо хотя бы качественно сравнить по уровню шумов рассматриваемый перемножитель сигналов, рис. 2, с исходным, рис.1 (б). Даже беглая оценка по внутреннему сопротив-

лению этих схем указывает на то, что в рассматриваемой схеме уровень шумов на несколько порядков ниже. А если учесть, что ячейки включаются параллельно, то соответственно понижается и суммарный уровень шумов в корень квадратный из N раз, где N – общее количество ячеек.

Необходимо отметить, что данная работа опирается на конкретные результаты, полученные при разработке программируемых асинхронных корреляторов.

Выводы

1. Получена ячейка перемножителя, пригодная для работы на сверхнизком напряжении питания. Для этого достаточно было перевести режим работы в крутую область ВАХ.
2. Внутреннее сопротивление такого перемножителя на порядки меньше исходного.

3. Перемножение на весовые коэффициенты +1 и -1 заменено переадресацией тока, что повысило точность перемножения.
4. В выходном сигнале отсутствуют квадратичные составляющие, поэтому дополнительная обработка результата перемножения с целью повышения точности не требуется.
5. Уровень шумов такого перемножителя на порядки меньше, чем в исходной схеме.
3. *Павлов Л.Н.* Интегральные дискретно-аналоговые асинхронные корреляторы. Известия высших учебных заведений. Радиоэлектроника. Том 51, №6 (2008) стр.76-81.
4. *Маллер Р., Кейминс Т.* Элементы интегральных схем. ISBN 5-03-001100-5, М., «Мир», 1989, 630 с.
5. <http://www.analog.com/en/products/amplifiers/instrumentation-amplifiers.html>.

Список использованных источников

1. *Analog Devices.* DC to 2.0 GHz Multiplier ADL5391.Rev.0. 7/06, 2006.
2. *Гавлицкий А. И.* Особенности схемотехники сверхнизковольтных прецизионных аналоговых перемножителей напряжения. Известия Южного федерального университета. Технические науки. Выпуск №5, том 94, 2009, с.101-108.

Поступила в редакцию 04 октября 2015 г.

УДК 621.316.54:621.314.632

П.В. Кучернюк, канд. техн. наук, **Л.М. Павлов**, канд. техн. наук

Національний технічний університет України «Київський політехнічний інститут»,
вул. Політехнічна, 16, корпус 12, г. Київ, 03056, Україна.

Схемотехніка над низьковольтного перемножувала сигналів на МОП-транзисторах

Розглянуто умови переходу від умов роботи традиційного диференціального каскаду, побудованого на МОП-транзисторах, до умов над низьковольтного режиму роботи в якості перемножувача сигналів на вагові коефіцієнти +1 і -1. Досліджено особливості схемотехніки цього перемножувача сигналів, що становить основу програмованого фільтра-корелятора. Розглянуто основні джерела помилки перемноження і зроблена аналітична оцінка їх величини. Досліджено умови вихідного перетворення сигналу-продукту перемноження. Наведені практичні схеми перетворювачів струм-напруга вихідного сигналу. Бібл. 5, рис.5.

Ключові слова: перемножувач сигналів; перетворювач струм-напруга; перетворювач напруга-струм; комірка аналогової пам'яті; фільтр-коррелятор; що програмується; похибка перемноження.

UDK 621.316.54:621.314.632

P. Kucherniuk, Ph.D., **L. Pavlov**, Ph.D.

National Technical University of Ukraine "Kyiv Polytechnic Institute",
st. Polytechnique, 16, Kiev-56, 03056, Ukraine.

Network design of ultra low voltage multiplier

The conditions of transition of the operating conditions of the traditional differential stage constructed MOSFET to conditions ultra low voltage mode as multiplier signal by the weighting coefficients of +1 and -1. The features of this multiplier circuitry signal constituting the basis of a programmable correlation filter. The main sources of multiplication errors are discussed and analytical assessment of their value is made. The conditions for conversion of the output signal, the product of multiplication. Practical schemes for output current-voltage converting are developed. Reference 5, figures 5.

Keywords: *signal multiplier; current-voltage converter; voltage-current converter; analog memory cell; programmable correlation filter; multiplying error.*

References

1. *Analog Devices*. DC to 2.0 GHz Multiplier ADL5391.Rev.0. 7/06, 2006.
2. *Gavlitski, A. I.* (2009). Osobennosti shemotekhniki sverhnizkovolytnyh pretsizionnykh analogovykh peremnozhytelei signalov [Features precision analog circuitry ultra low voltage voltage multipliers]. . Southern Federal University . Technical science. Issue No. 5, volume 94, Pp. 101-108 (Rus).
3. *Pavlov, L. N.* (2008) Integralnye diskretno-analogovye asinhronnye korrelyatory [Integrated digital-analog asynchronous correlators]. Proceedings of the higher educational institutions. Electronics, Vol. 51, Pp. 76-81 (Rus).
4. *Muller, R. S., Kamins, T. I.* (1989). Device Electronics for Integrated Circuits. ISBN 0-471-887558-7, John Wiley & Sons, New-York, Second Edition, 630.
5. <http://www.analog.com/en/products/amplifiers/instrumentation-amplifiers.html>.